

Федеральное агентство по образованию  
Негосударственное образовательное учреждение  
Институт радиоэлектроники, сервиса и диагностики

**Одинец А.И., Науменко А.П.**

# **Цифровые устройства: АЦП и ЦАП**

Учебное пособие

Омск 2006

УДК 681.(075)  
ББК 32.972  
О42

Рецензент: А.А. Кузнецов, канд. техн. наук

Одинец А.И., Науменко А.П.  
Цифровые устройства: АЦП и ЦАП: Учеб. пособие. – Омск: Изд-во ИРСИД, 2006.- 48 с.

Изложены принципы построения АЦП и ЦАП. Приведены структурные схемы параллельных, последовательных и интегрирующих АЦП. Рассмотрены последовательные и параллельные ЦАП, а также интерфейсы и параметры АЦП и ЦАП.

Предназначено для студентов радиотехнических специальностей.

Подписано в печать  
ООО «Издательство Наследие. Диалог-Сибирь»  
Лицензия ЛР №071680 от 04.06.98.  
Подписано в печать 27.03.06.  
Формат 60х64 1/16. Уч.-изд. л. 3,0  
Тираж 100 экз.

---

Отпечатано  
«Полиграфический центр КАН»  
644050, г. Омск, пр. Мира, 32,к.11  
тел. (3812)65-47-31  
Лицензия ПЛД №58-47 от 21.04.97

# 1. Аналого-цифровые преобразователи

## Введение

Аналого-цифровые преобразователи (АЦП) находят широкое применение в различных областях современной науки и техники. Они являются неотъемлемой составной частью цифровых измерительных приборов, систем преобразования и отображения информации, программируемых источников питания, индикаторов на электронно-лучевых трубках, радиолокационных систем, установок для контроля элементов и микросхем, а также важными компонентами различных автоматических систем контроля и управления, устройств ввода-вывода информации ЭВМ. На их основе строят преобразователи и генераторы практически любых функций, цифрууправляемые аналоговые регистрирующие устройства, корреляторы, анализаторы спектра и т. д. В настоящее время применяют три вида технологии производства АЦП: модульную, гибридную и полупроводниковую. При этом доля производства полупроводниковых интегральных схем (ИС) АЦП в общем объеме их выпуска непрерывно возрастает и в недалеком будущем, по-видимому, в модульном и гибридном исполнениях будут выпускаться лишь сверхточные и сверхбыстродействующие преобразователи с достаточно большой рассеиваемой мощностью.

## Общие сведения об АЦП

Аналого-цифровые преобразователи являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки микропроцессорами и другими цифровыми устройствами. Процедуру аналого-цифрового преобразования непрерывных сигналов можно разделить на две самостоятельные операции: дискретизацию и квантование. В основе дискретизации непрерывных сигналов лежит принципиальная возможность представления их в виде взвешенных сумм

$$U(t) = \sum_j a_j f_j(t)$$

где  $a_j$  - отсчеты, характеризующие исходный сигнал в дискретные моменты времени;  $f_j(t)$  - набор элементарных функций, используемых при восстановлении сигнала по его отсчетам.

Наиболее распространенной формой дискретизации является равномерная, в основе которой лежит теорема отсчетов. Согласно этой теореме в качестве коэффициентов  $a_j$  следует использовать мгновенные значения сигнала  $U(t_j)$  в дискретные моменты времени  $t_j = j\Delta t$ , а период дискретизации выбирать из условия

$$\Delta t = 1/2F_m,$$

где  $F_m$  - максимальная частота спектра преобразуемого сигнала.

## Классификация АЦП

В настоящее время известно большое число методов преобразования напряжение-код. Эти методы существенно отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. Аналого-цифровые преобразователи делятся на: **параллельные**, **последовательные** (последовательного приближения, последовательного счета (следающие)), **интегрирующие** (однотактные, многотактные, сигма-дельта, преобразователи частота-напряжение) и **последовательно-параллельные** (многотактные, многоступенчатые, конвейерные).

### 1.1. Параллельные АЦП

На рис.1.1 показана реализация параллельного метода АЦ-преобразования для 3-разрядного числа.

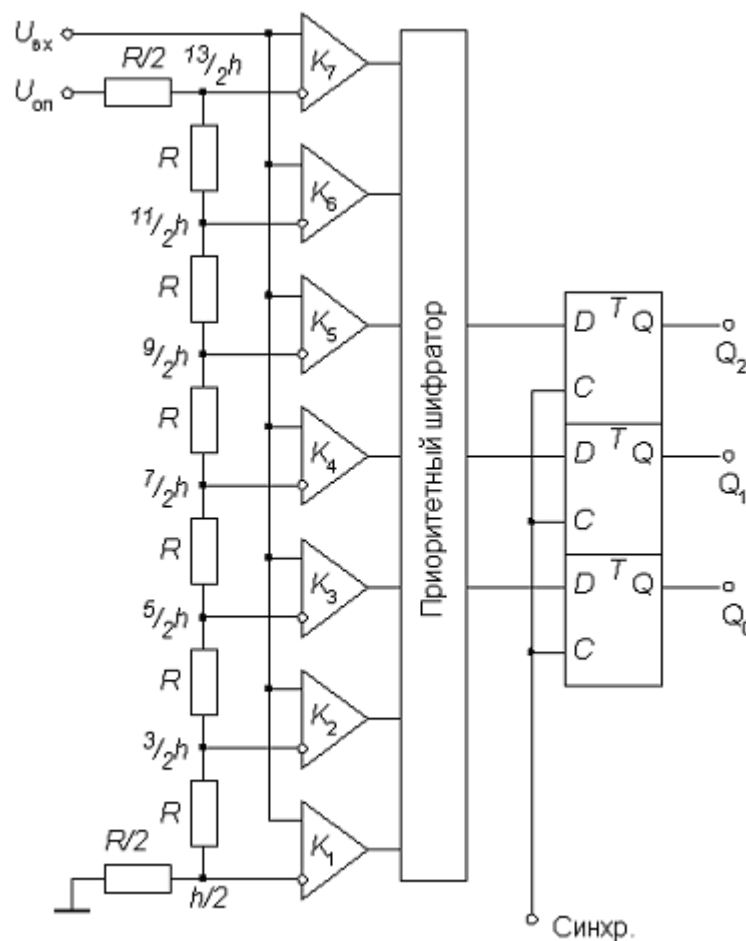


Рис. 1.1

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая ноль. Необходимо, следовательно, семь компараторов. Семь опорных напряжений образуются с помощью резистивного делителя. Если приложенное входное напряжение не выходит за пределы диапазона от  $5/2h$ , до  $7/2h$ , где  $h=U_{оп}/7$  - квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние **1**, а компараторы с 4-го по 7-й - в состояние **0**. Преобразование этой

группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором, диаграмма состояний которого приведена в табл.1.1.

Таблица 1.1

Входное напряжение	Состояние компараторов							Выходы		
	$U_{вх}/h$	$K_7$	$K_6$	$K_5$	$K_4$	$K_3$	$K_2$	$K_1$	$Q_2$	$Q_1$
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Благодаря одновременной работе компараторов параллельный АЦП является самым быстрым. Недостатком схемы является высокая сложность. Действительно,  $N$ -разрядный параллельный АЦП содержит  $2^N - 1$  компараторов и  $2^N$  согласованных резисторов. Следствием этого является высокая стоимость и значительная потребляемая мощность.

## 1.2. Последовательно-параллельные АЦП

Последовательно-параллельные АЦП являются компромиссом между стремлением получить высокое быстродействие и желанием сделать это по возможности меньшей ценой. Последовательно-параллельные АЦП занимают промежуточное положение по разрешающей способности и быстродействию между параллельными АЦП и АЦП последовательного приближения. Последовательно-параллельные АЦП подразделяют на многоступенчатые, многотактные и конвеерные.

**Многоступенчатые АЦП.** В многоступенчатом АЦП процесс преобразования входного сигнала разделен в пространстве. В качестве примера на рис. 1.2 представлена схема двухступенчатого 8-разрядного АЦП.

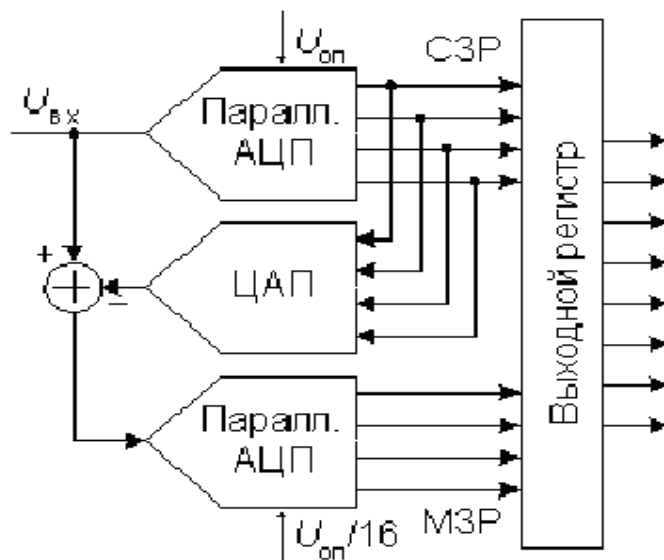


Рис. 1.2

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2, опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие, квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требовании к точности: у АЦП1 точность должна быть такой же как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного.

**Многотактные последовательно-параллельные АЦП.** На рис. 1.3 приведена схема двухтактного 8-разрядного АЦП. В схеме процесс преобразования разделен во времени.

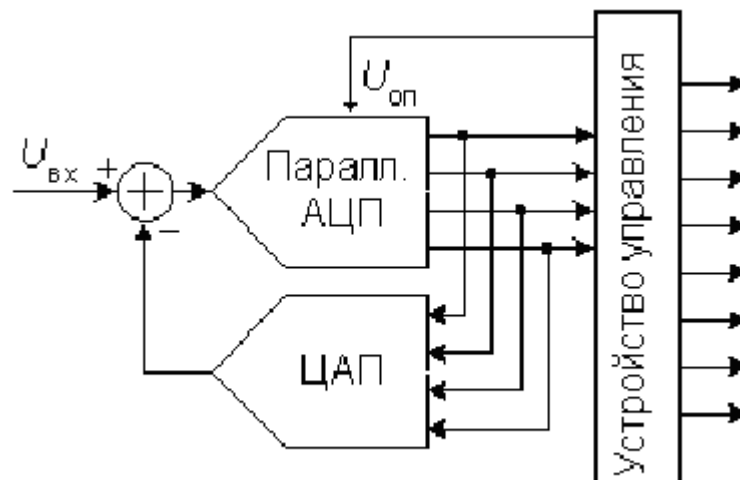


Рис. 1.3

Преобразователь состоит из 4-разрядного параллельного АЦП, квант  $h$  которого определяется величиной опорного напряжения, 4-разрядного ЦАП и устройства управления. Если максимальный входной сигнал равен 2,56 В, то в первом такте преобразователь работает с шагом квантования  $h_1=0,16$  В. В это время входной код ЦАП равен нулю. Устройство управления пересылает полученное от АЦП в первом такте слово в четыре старших разряда выходного регистра, подает это слово на вход ЦАП и уменьшает в 16 раз опорное напряжение АЦП. Таким образом, во втором такте шаг квантования  $h_2=0,01$  В и остаток, образовавшийся при вычитании из входного напряжения схемы выходного напряжения ЦАП, будет преобразован в младший полубайт выходного слова. Входное напряжение многотактного АЦП во время преобразования должно быть неизменным, для чего между его входом и источником входного сигнала следует включить устройство выборки-хранения (УВХ).

Быстродействие рассмотренного многотактного АЦП определяется полным временем преобразования 4-разрядного АЦП, временем срабатывания цифровых схем управления, временем установления ЦАП. Преобразователь такого типа оказывается медленнее двухступенчатого преобразователя, но он проще и дешевле.

**Конвейерные АЦП.** Быстродействие многоступенчатого АЦП можно повысить, применив конвейерный принцип многоступенчатой обработки входного сигнала. В многоступенчатом АЦП (рис. 1.2) вначале происходит формирование старших разрядов выходного слова преобразователем АЦП1, а затем идет период установления выходного сигнала ЦАП. На этом интервале АЦП2 простаивает. На втором этапе во время преобразования остатка преобразователем АЦП2 простаивает АЦП1. Введя элементы задержки аналогового и цифрового сигналов между ступенями преобразователя, получим конвейерный АЦП, схема 8-разрядного варианта которого приведена на рис. 1.4.

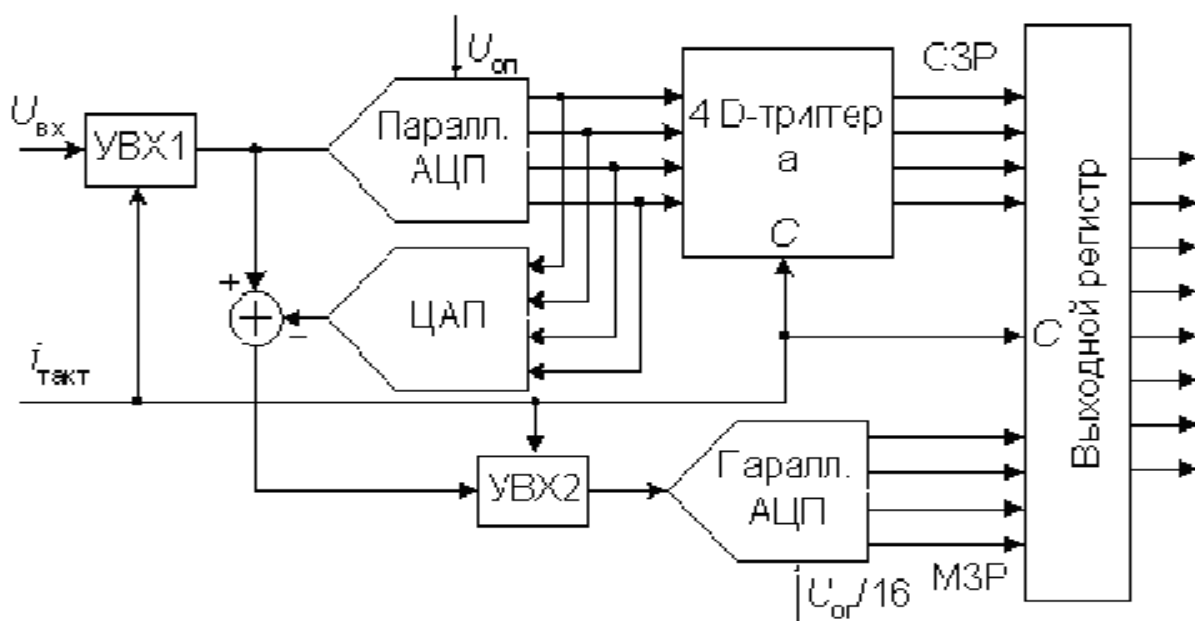


Рис. 1.4

Роль аналогового элемента задержки выполняет УВХ2, а цифрового - четыре  $D$ -триггера. Триггеры задерживают передачу старшего полубайта в выходной регистр на один период тактового сигнала. Сигналы выборки, формируемые из тактового сигнала, поступают на УВХ1 и УВХ2 в разные моменты времени. УВХ2 переводится в режим хранения позже, чем УВХ1 на время, равное суммарной задержке распространения сигнала по АЦП1 и ЦАП.

Таким образом, конвейерная архитектура позволяет в несколько раз повысить максимальную частоту выборок многоступенчатого АЦП. При этом можно без проигрыша в быстродействии увеличить число ступеней АЦП, понизив разрядность каждой ступени. В свою очередь, увеличение числа ступеней преобразования уменьшает сложность АЦП.

### 1.3. Последовательные АЦП

**АЦП последовательного счета** является типичным примером последовательных АЦП с единичными приближениями и состоит из компаратора ( $K$ ), счетчика и ЦАП (рис. 1.5). На один вход компаратора поступает входной сигнал, а на другой - сигнал обратной связи с ЦАП.

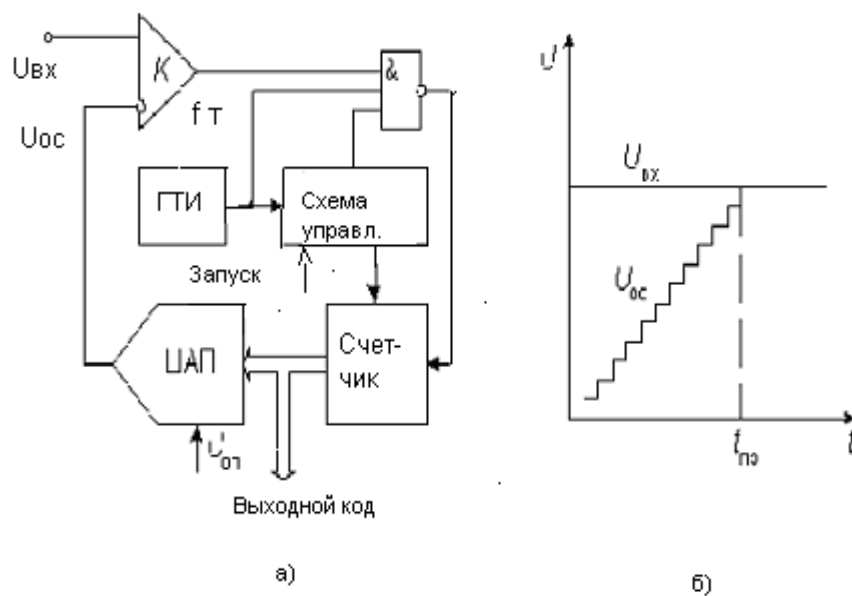


Рис. 1.5

Работа преобразователя начинается с прихода импульса запуска, который включает счетчик, суммирующий число импульсов, поступающих от генератора тактовых импульсов ГТИ. Выходной код счетчика подается на ЦАП, осуществляющий его преобразование в напряжение обратной связи  $U_{ос}$ . Процесс преобразования продолжается до тех пор, пока напряжение обратной связи сравнивается с входным напряжением и переключится компаратор, который своим выходным сигналом прекратит поступление тактовых импульсов на счетчик. Переход выхода компаратора из **1** в **0** означает завершение процесса преобразования. Выходной код, пропорциональный входному напряжению в момент окончания преобразования, считывается с выхода счетчика. Время преоб-



разования АЦП этого типа является переменным и определяется входным напряжением. Его максимальное значение соответствует максимальному входному напряжению и при разрядности двоичного счетчика  $N$  и частоте тактовых импульсов  $f_{\text{такт}}$  равно

$$t_{\text{пр.макс}} = (2^N - 1) / f_{\text{такт}}$$

Например, при  $N=10$  и  $f_{\text{такт}}=1$  МГц  $t_{\text{пр.макс}}=1024$  мкс, что обеспечивает максимальную частоту выборок порядка 1 кГц.

Таким образом, особенностью АЦП последовательного счета является небольшая частота дискретизации, достигающая нескольких килогерц. Достоинством АЦП данного класса является сравнительная простота построения, определяемая последовательным характером выполнения процесса преобразования.

**АЦП последовательного приближения** (АЦП с поразрядным уравниванием) (рис. 1.6а). В основе работы этого класса преобразователей лежит принцип **дихотомии**, т.е. последовательного сравнения измеряемой величины с  $1/2, 1/4, 1/8$  и т.д. от возможного максимального значения ее. Это позволяет для  $N$ -разрядного АЦП выполнить весь процесс преобразования за  $N$  последовательных шагов (итераций) вместо  $2^N - 1$  при использовании последовательного счета и получить существенный выигрыш в быстродействии. Так, при  $N=10$  этот выигрыш достигает 100 раз и позволяет получить с помощью таких АЦП до  $10^5 \dots 10^6$  преобразований в секунду.

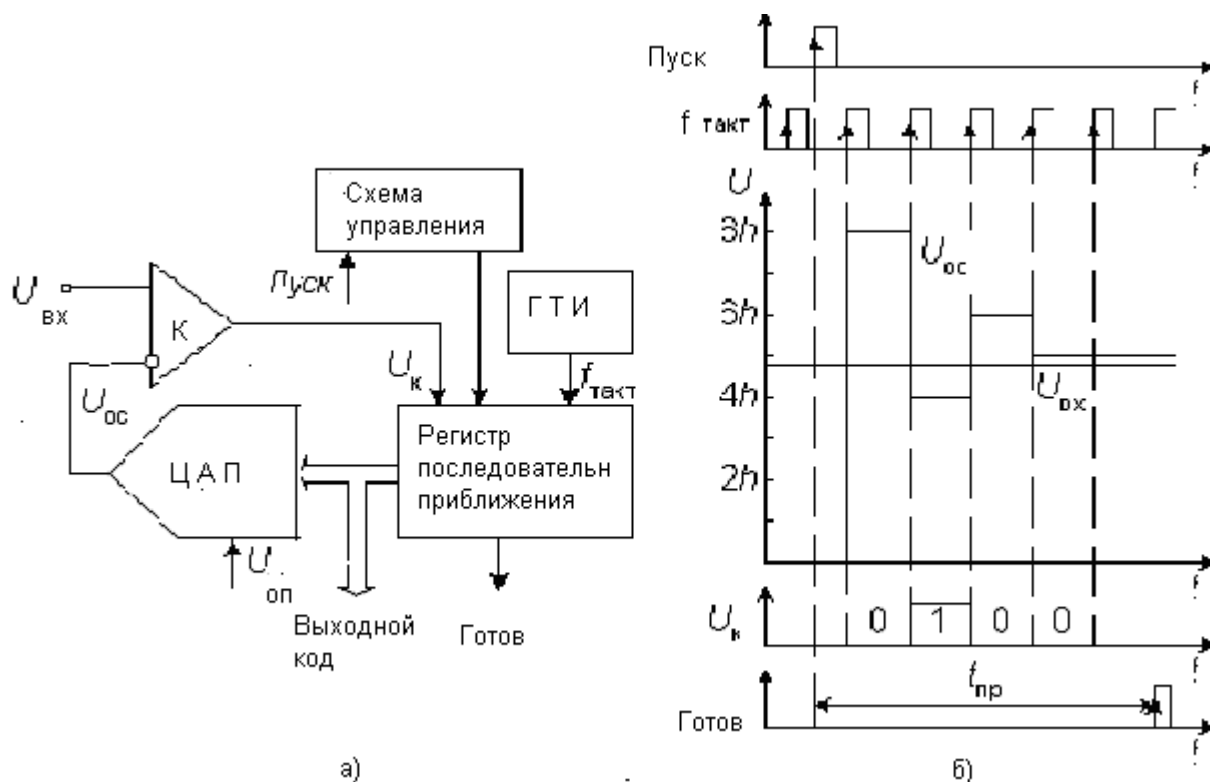


Рис. 1.6

Схема четырехразрядного АЦП содержит: компаратор (К), регистра последовательного приближения (РПП) и ЦАП. После подачи команды "Пуск" с приходом первого тактового импульса РПП принудительно задает на вход ЦАП код, равный половине его шкалы (для 4-разрядного ЦАП это  $1000_2=8_{10}$ ). Благодаря этому напряжение  $U_{oc}$  на выходе ЦАП (рис. 1.6 б)

$$U_{oc}=2^3h.$$

где  $h$  - квант выходного напряжения ЦАП, соответствующий единице младшего разряда (ЕМР).

Эта величина составляет половину возможного диапазона преобразуемых сигналов. Если входное напряжение больше, чем эта величина, то на выходе компаратора устанавливается **1**, если меньше, то **0**. В этом последнем случае схема управления должна переключить старший разряд  $d_3$  обратно в состояние нуля. Непосредственно вслед за этим остаток

$$U_{вх} - d_3 2^3 h$$

таким же образом сравнивается с ближайшим младшим разрядом и т.д. После четырех подобных выравнивающих шагов в РПП двоичное число, из которого после цифро-аналогового преобразования получается напряжение, соответствующее  $U_{вх}$  с точностью до 1 ЕМР. Выходное число может быть считано с РПП в виде параллельного двоичного кода по  $N$  линиям. Кроме того, в процессе преобразования на выходе компаратора, формируется выходное число в виде последовательного кода старшими разрядами вперед.

Для эффективного использования АЦП последовательного приближения, между его входом и источником преобразуемого сигнала следует включать УВХ. Данный класс АЦП занимает промежуточное положение по быстродействию, стоимости и разрешающей способности между последовательно-параллельными и интегрирующими АЦП и находит широкое применение в системах управления, контроля и цифровой обработки сигналов

#### 1.4. Интегрирующие АЦП

Недостатком рассмотренных выше последовательных АЦП является низкая помехоустойчивость результатов преобразования. Действительно, выборка мгновенного значения входного напряжения, обычно включает слагаемое в виде мгновенного значения помехи. Впоследствии при цифровой обработке последовательности выборок эта составляющая может быть подавлена, однако на это требуется время и вычислительные ресурсы. В АЦП, рассмотренных ниже, входной сигнал интегрируется либо непрерывно, либо на определенном временном интервале, длительность которого обычно выбирается кратной периоду помехи. Это позволяет во многих случаях подавить помеху еще на этапе преобразования. Платой за это является пониженное быстродействие интегрирующих АЦП.

## АЦП многотактного интегрирования

Схема АЦП двухтактного интегрирования приведена на рис. 1.7.

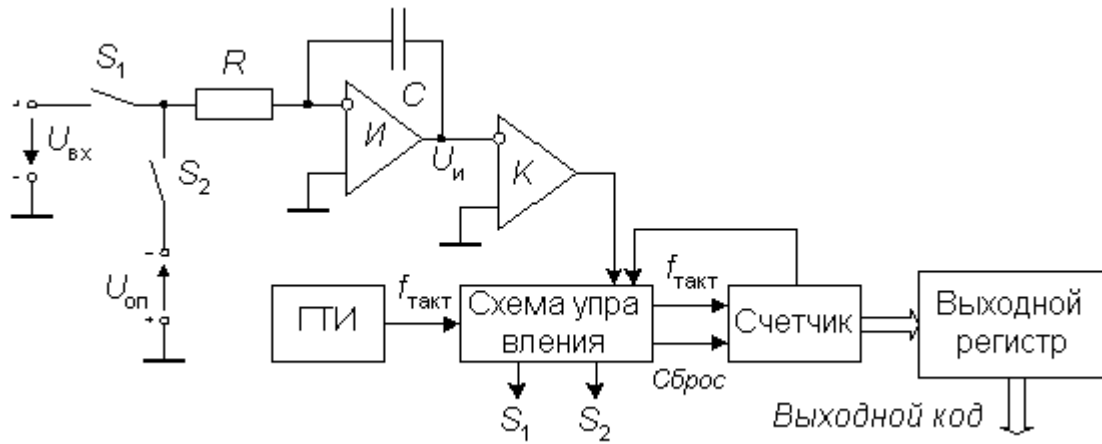


Рис. 1.7

Преобразование проходит две стадии: стадию интегрирования и стадию счета (рис. 1.8). В начале первой стадии ключ  $S_1$  замкнут, а ключ  $S_2$  разомкнут. Интегратор  $I$  интегрирует входное напряжение  $U_{вх}$ . Время интегрирования входного напряжения  $t_1$  постоянно; в качестве таймера используется счетчик с коэффициентом пересчета  $K_{сч}$ . После окончания стадии интегрирования ключ  $S_1$  размыкается, а ключ  $S_2$  замыкается и опорное напряжение  $U_{оп}$  поступает на вход интегратора. При этом выбирается опорное напряжение, противоположное по знаку входному напряжению.

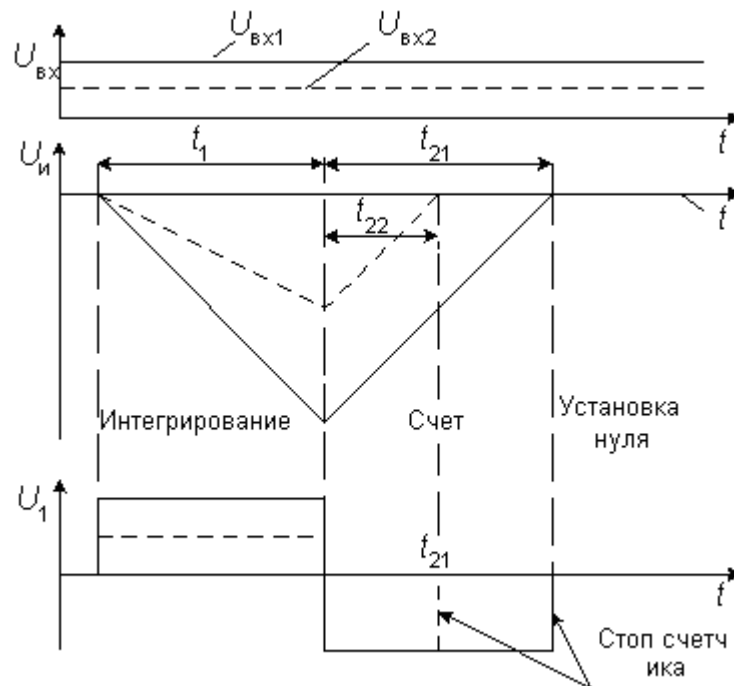


Рис. 1.8

На стадии счета выходное напряжение интегратора линейно уменьшается по абсолютной величине. Стадия счета заканчивается, когда выходное напряжение интегратора переходит через нуль. Компаратор К переключается и счет останавливается. Содержимое счетчика после окончания стадии счета

$$n_2 = \frac{U_{\text{вх.ср}} K_{\text{сч}}}{U_{\text{оп}}}$$

Отличительной особенностью метода многотактного интегрирования является то, что ни тактовая частота, ни постоянная интегрирования  $RC$  не влияют на результат.

Различают две группы АЦП многотактного интегрирования: схемы с параллельным или последовательным выходом для сопряжения с микропроцессорами и схемы с двоично-десятичными счетчиками и дешифраторами для управления семисегментными индикаторами, в том числе мультиплексированными (572ПВ5, 572ПВ6).

**Сигма-дельта АЦП** (АЦП с уравниванием или балансом зарядов). Многие недостатки АЦП многотактного интегрирования во многом устранены в сигма-дельта АЦП. Один из принципов, заложенных в такого рода преобразователях, позволяющий уменьшить погрешность, вносимую шумами, а, следовательно, увеличить разрешающую способность - это усреднение результатов измерения на большом интервале времени. Основные узлы АЦП - это сигма-дельта модулятор и цифровой фильтр. Структурная схема  $n$ -разрядного сигма-дельта модулятора первого порядка приведена на рис. 1.9.

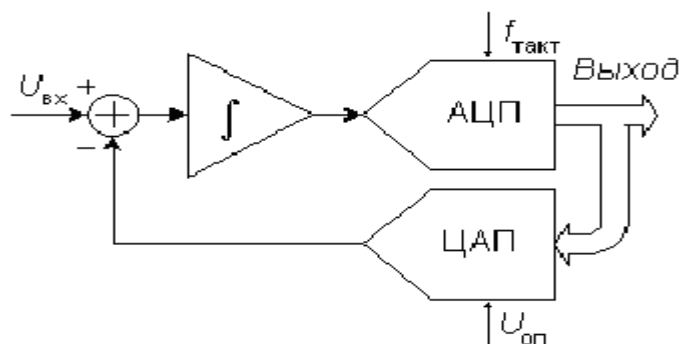


Рис. 1.9

Работа схемы основана на вычитании из входного сигнала  $U_{\text{вх}}(t)$  величины сигнала на выходе ЦАП, полученной на предыдущем такте работы схемы. Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности. Последовательность кодов поступает на цифровой фильтр нижних частот. Порядок модулятора определяется численностью интеграторов и сумматоров в его схеме. Сигма-дельта модуляторы  $N$ -го поряд-

ка содержат  $N$  сумматоров и  $N$  интеграторов и обеспечивают большее соотношение сигнал/шум при той же частоте отсчетов, чем модуляторы первого порядка. Наиболее широко используются однобитные сигма-дельта модуляторы, в которых в качестве АЦП используется компаратор, а в качестве ЦАП - аналоговый коммутатор. Структурная схема сигма-дельта АЦП приведена на рис.1.10.

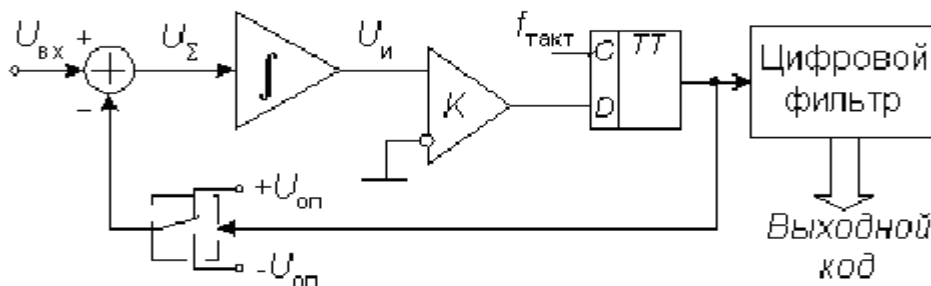


Рис. 1.10

В сигма-дельта АЦП обычно применяются цифровые фильтры с АЧХ вида  $(\sin x/x)^3$ . В частотной области модуль передаточной функции фильтра

$$H(f) = \left[ \frac{\sin(M\pi f / f_{\text{ТАКТ}})}{M \sin(\pi f / f_{\text{ТАКТ}})} \right]^3,$$

где  $M$  - целое число, которое задается программно и равно отношению тактовой частоты модулятора к частоте отсчетов фильтра.

Сигма-дельта АЦП имеет более высокую линейность характеристики преобразования, чем у АЦП многотактного интегрирования. Микроконтроллер в составе сигма-дельта АЦП высокого разрешения позволяет реализовать режимы автоматической установки нуля и самокалибровки полной шкалы, хранить калибровочные коэффициенты.

**1.5. Преобразователи напряжение-частота (ПНЧ).** На базе ПНЧ могут быть построены интегрирующие АЦП, обеспечивающие относительно высокую точность преобразования (например, 1108ПП1). Наибольшее применение нашли ПНЧ с заданной длительностью выходного импульса. Структурная схема ПНЧ приведена на рис. 1.11.

Работа ПНЧ заключается в следующем. Под действием положительного входного сигнала  $U_{\text{вх}}$  напряжение  $U_{\text{и}}$  на выходе интегратора И уменьшается. При этом ключ  $S$  разомкнут. Когда напряжение  $U_{\text{и}}$  уменьшится до нуля, компаратор  $K$  переключается, запуская тем самым одновибратор. Одновибратор формирует импульс стабильной длительности  $T_{\text{и}}$ , который управляет ключом. Последовательность этих импульсов является выходным сигналом ПНЧ. Ключ замыкается и ток  $I_{\text{оп}}$  в течение  $T_{\text{и}}$  поступает на вход интегратора, вызывая увеличение выходного напряжения интегратора. Далее описанный процесс снова повторяется.

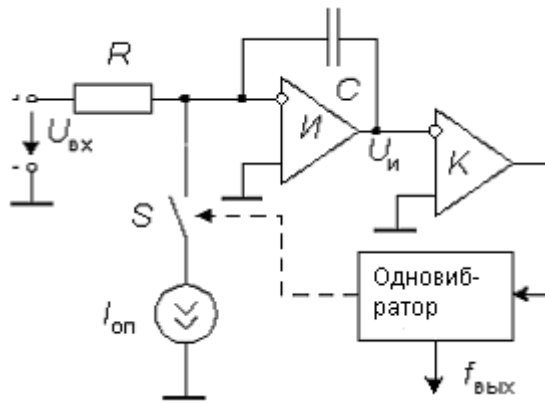


Рис. 1.11

Импульсы тока  $I_{оп}$  уравнивают ток, вызываемый входным напряжением  $U_{вх}$ . В установившемся режиме

$$-\frac{1}{RC} \int_0^T U_{вх}(t) dt + \frac{1}{C} \int_0^{T_{И}} I_{оп} dt = 0, \quad \text{отсюда} \quad f = \frac{1}{T} = \frac{U_{вх,ср}}{RI_{оп}T_{И}},$$

где  $U_{вх,ср}$  - среднее значение входного напряжения за период  $T$ .

Структурная схема интегрирующего АЦП на базе ПЧН приведена на рис. 1.12.

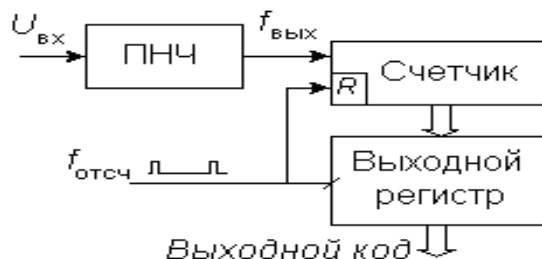


Рис. 1.12

В схеме АЦП ПНЧ преобразует входное напряжение в унитарный код. Для его преобразования в двоичный позиционный код используется счетчик. Счетчик подсчитывает число импульсов, поступивших от ПНЧ за период  $T_{отсч} = 1/f_{отсч}$ , задаваемый отсчетными импульсами, которыми содержимое счетчика заносится в выходной регистр-зашелку. Вслед за этим происходит обнуление счетчика. Число импульсов  $n$ , подсчитанных счетчиком за время  $T_{отсч}$ ,

$$n = \frac{T_{отсч}}{T_{И}} \frac{\bar{U}_{вх,ср}}{RI_{оп}},$$

где  $U_{вх,ср}$  - среднее значение входного напряжения за весь период  $T_{отсч}$ .

## 2. Системы сбора данных и микроконверторы

Однокристалльные системы сбора данных, обеспечивают преобразование в цифровой код сигналов, поступающих от датчиков, и передачу их на ЭВМ. Структурная схема системы сбора данных приведена на рис. 2.1. На рис. 2.1 обозначены: УПК - усилитель с программируемым коэффициентом усиления; УВХ - устройство выборки-хранения; АЦП - источник опорного напряжения; ШД – шина данных.

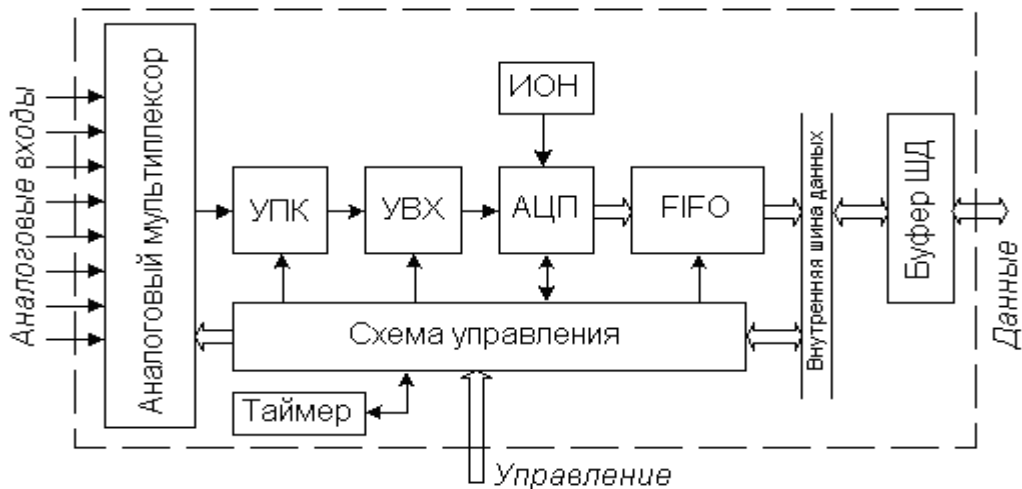


Рис. 2.1

Чтобы сократить частоту прерываний главного процессора системы сбора данных снабжаются оперативным запоминающим устройством (ОЗУ) FIFO. Схема управления может включать ОЗУ, в которое загружается от главного процессора блок рабочих команд. Эти команды содержат сведения о том, какие операционные режимы использовать, какие из входных каналов должны быть однопроводными, а какие - объединяться с образованием дифференциальных пар, насколько часто и в каком порядке следует производить выборку для каждого канала. Встроенный в систему сбора данных цифровой таймер определяет темп преобразования АЦП. Примером системы сбора данных является БИС 572ПВ4, содержащая 8-входовый аналоговый мультиплексор, 8-разрядный АЦП последовательного приближения, и запоминающее устройство FIFO с организацией 8x8 бит.

Особый класс устройств с АЦП представляют собой **микроконверторы**. Программируемые устройства для преобразования аналоговых сигналов, например фирмы Analog Devices, включают многоканальный АЦП, микроконтроллер и одно- или двухканальный ЦАП. Такой микроконвертор принимает аналоговые сигналы, преобразует их в цифровые коды, по программе, записанной в ПЗУ микроконтроллера, обрабатывает эти коды и с помощью ЦАП вновь преобразует результаты в аналоговые сигналы. Уступая чисто аналоговой только в быстродействии, такая схема отличается большой функциональной гибкостью и точностью. В частности, микроконвертор ADuC812 содержит 8-

канальный мультиплексор, УВХ, 12-разрядный АЦП последовательного приближения, два 12-разрядных ЦАП и микроконтроллер.

### 3. Интерфейсы АЦП

Цифровой интерфейс, это схемы, обеспечивающие связь АЦП с приемниками цифровых сигналов, например с микропроцессором (МП). В данном случае АЦП является для МП как бы одной из ячеек памяти. При этом АЦП имеет необходимое число адресных входов, дешифратор адреса и подключается непосредственно к адресной шине и шине данных МП. Для этого он обязательно должен иметь выходные каскады с тремя состояниями. Другое требование совместной работы АЦП с МП называется программным сопряжением. Ниже перечислены основные способы программного сопряжения АЦП с МП.

**Проверка сигнала преобразования.** Этот способ состоит в том, что команда начала преобразования "Пуск" периодически подается на АЦП от таймера. Процессор находится в цикле ожидания от АЦП сигнала окончания преобразования "Готов", после которого выходит из цикла, считывает данные с АЦП и в соответствии с ними приступает либо к следующему преобразованию, либо к выполнению основной программы, а затем вновь входит в цикл ожидания. Здесь АЦП выступает в роли ведущего устройства (master), а процессор - ведомого (slave). Данный способ позволяет максимально использовать производительность АЦП.

**Простое прерывание.** Выдав команду "Пуск", МП продолжает работу по основной программе. После окончания преобразования формируется сигнал прерывания, который прерывает в процессоре вычисления и включает процедуру поиска периферийного прибора, пославшего сигнал прерывания. Эта процедура состоит в переборе всех периферийных устройств до тех пор, пока не будет найден нужный. Преимущество способа заключается в большем числе преобразований за одно и то же время, если используемый АЦП работает медленно.

**Векторное прерывание.** Этот способ отличается от предыдущего тем, что вместе с сигналом прерывания посылается и адрес программы обращения к данному АЦП. Следовательно, не нужно перебирать все периферийные приборы.

**Прямой доступ к памяти.** Здесь также используется прерывание, но управление по системе прерывания передается на специальный интерфейс, который и производит перезапись данных преобразования в память, минуя регистры процессора. Это позволяет сократить длительность прерывания до одного такта. Номера ячеек памяти хранятся в адресном регистре интерфейса. Для этой цели выпускаются ИС контроллеров прямого доступа к памяти (ПДП).



В зависимости от способа пересылки выходного слова из АЦП в МП различают преобразователи с последовательным и параллельным интерфейсами выходных данных.

### 3.1. АЦП с параллельным интерфейсом выходных данных

В параллельных АЦП интерфейс осуществляется с помощью  $N$ -разрядного регистра хранения, имеющего три состояния выхода. На рис. 3.1 представлена функциональная схема такого АЦП и временные диаграммы работы интерфейса.

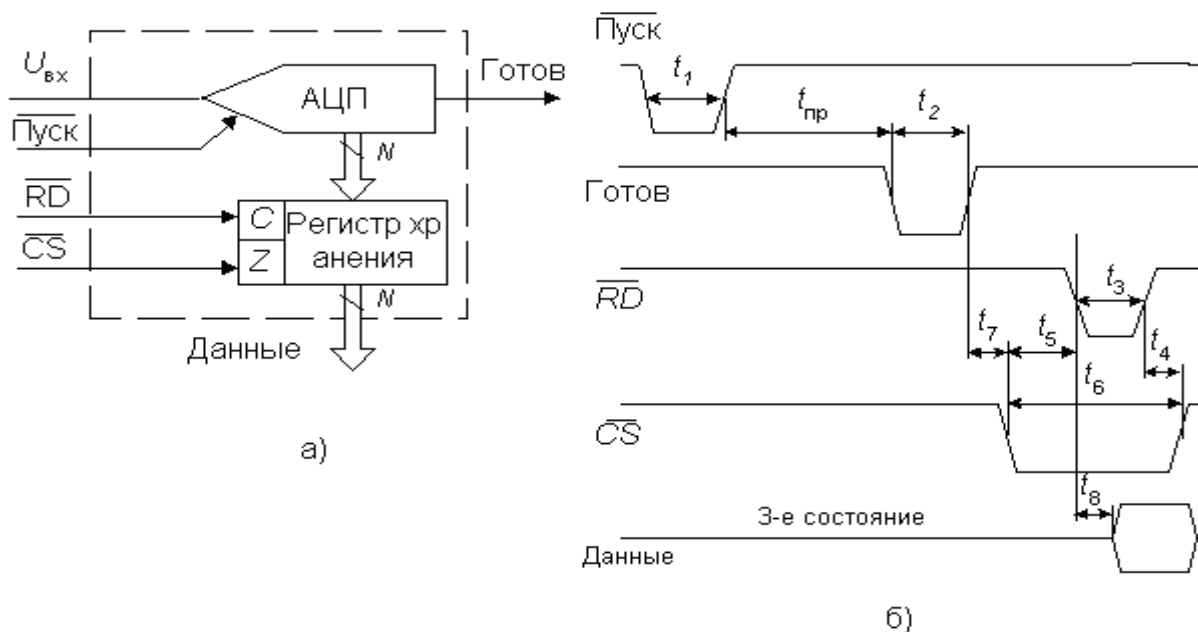


Рис. 3.1

На нарастающем фронте сигнала "Пуск" УВХ преобразователя переходит в режим хранения и инициируется процесс преобразования. Когда преобразование завершено, на выходную линию "Готов" выводится импульс, что указывает на то, что в выходном регистре АЦП находится новый результат. Сигналы "CS" (выбор кристалла) и "RD" (Чтение) управляют выводом данных для передачи приемнику.

### 3.2. АЦП с последовательным интерфейсом выходных данных

В АЦП последовательного приближения выходная величина может быть считана в виде последовательного кода с компаратора или регистра последовательного приближения (РПП). На рис. 3.2 представлена функциональная схема такого интерфейса (а) и временные диаграммы его работы (б).

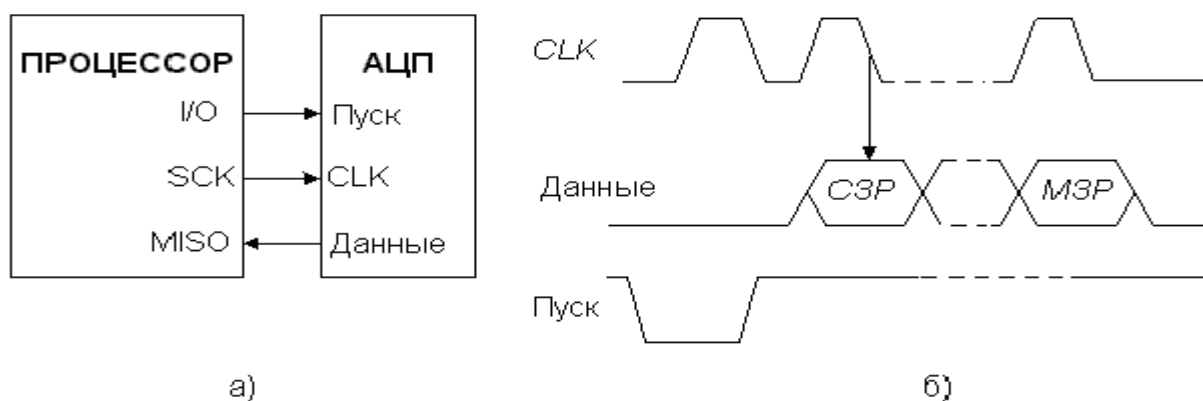


Рис. 3.2

Здесь приведена схема, реализующая SPI-интерфейс. Процессор является ведущим (master). Он инициирует начало процесса преобразования подачей среза на вход "Пуск" АЦП. С тактового выхода процессора на синхровход АЦП поступает последовательность тактовых импульсов. Начиная со второго такта после пуска на выходе данных АЦП формируется последовательный код выходного слова старшими битами вперед. Этот сигнал поступает на *MISO* (master - input, slave - output) вход процессора.

Современные модели АЦП с последовательной передачей выходных данных оснащаются выходным сдвиговым регистром, в который загружается результат преобразования из РПП. Временные диаграммы такого интерфейса приведены на рис. 3.3.

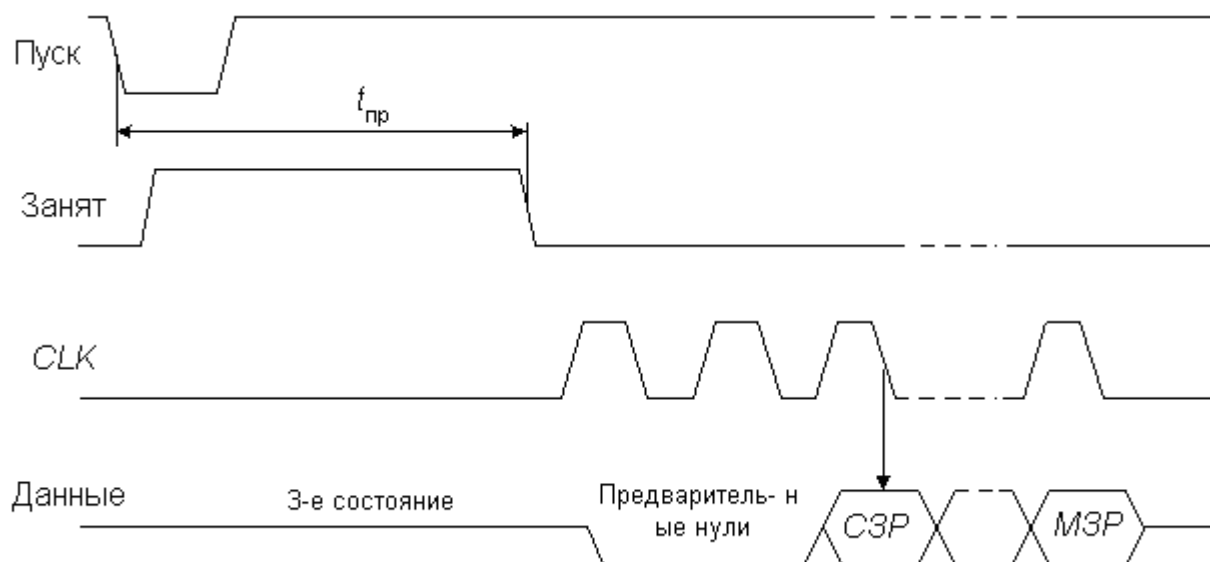


Рис. 3.3

По заднему фронту сигнала "Пуск" УВХ переходит в режим хранения и начинается преобразование. При этом на соответствующем выводе АЦП выставляется сигнал "Занят". По окончании преобразования начинается передача данных. Процессор подает на синхровход АЦП последовательность синхроимпульсов *CLK*. Если  $8 < N \leq 16$ , то число синхроимпульсов обычно составляет 16.

При  $N < 16$  вначале вместо отсутствующих старших битов передаются нули, а затем выходное слово старшими битами вперед. До и после передачи данных выходная линия АЦП находится в высокоимпедансном состоянии.

#### 4. Параметры АЦП

При последовательном возрастании значений входного аналогового сигнала  $U_{вх}(t)$  от 0 до величины, соответствующей полной шкале АЦП  $U_{пш}$  выходной цифровой сигнал  $D(t)$  образует ступенчатую кусочно-постоянную линию. Такую зависимость называют характеристикой преобразования АЦП. В отсутствие аппаратных погрешностей средние точки ступенек расположены на идеальной прямой 1 (рис. 4.1), которой соответствует идеальная характеристика преобразования. Реальная характеристика преобразования может существенно отличаться от идеальной размерами и формой ступенек, а также расположением на плоскости координат. Для количественного описания этих различий существуют следующие параметры.

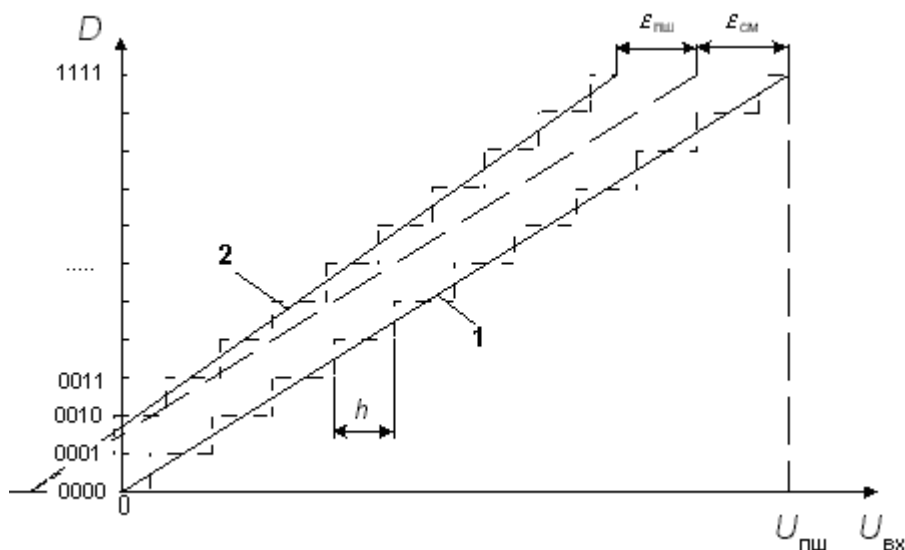


Рис. 4.1

##### 4.1. Статические параметры

**Разрешающая способность** - величина, обратная максимальному числу кодовых комбинаций на выходе АЦП. Разрешающая способность выражается в процентах, разрядах или децибелах и характеризует потенциальные возможности АЦП с точки зрения достижимой точности. Например, 12-разрядный АЦП имеет разрешающую способность  $1/4096$ , или  $0,0245\%$  от полной шкалы, или  $-72,2$  дБ.

Разрешающей способности соответствует приращение входного напряжения АЦП  $U_{вх}$  при изменении  $D_j$  на единицу младшего разряда (ЕМР). Это приращение является шагом квантования. Для двоичных кодов преобразования номинальное значение шага квантования  $h = U_{пш} / (2^N - 1)$ , где  $U_{пш}$  - номинальное

максимальное входное напряжение АЦП (напряжение полной шкалы), соответствующее максимальному значению выходного кода,  $N$  - разрядность АЦП.

**Погрешность полной шкалы** - относительная разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля

$$\delta_{\text{ПШ}} = \frac{\varepsilon_{\text{ПШ}}}{U_{\text{ПШ}}} \cdot 100\%$$

**Погрешность смещения нуля** - значение  $U_{\text{вх}}$ , когда входной код ЦАП равен нулю. Является аддитивной составляющей полной погрешности и определяется по формуле

$$\varepsilon_{\text{СМ}} = U_{\text{ВХ.01}} - h/2,$$

где  $U_{\text{вх.01}}$  - значение входного напряжения, при котором происходит переход выходного кода из 0 в 1. Значение погрешности смещения нуля указывается в процентах от полной шкалы:

$$\delta_{\text{СМ}} = \frac{\varepsilon_{\text{СМ}}}{U_{\text{ПШ}}} \cdot 100\%$$

**Нелинейность** - максимальное отклонение реальной характеристики преобразования  $D(U_{\text{вх}})$  от оптимальной (линия 2 на рис. 4.1). Нелинейность определяется в относительных единицах или в ЕМР. Для характеристики, приведенной на рис. 4.2

$$\delta_{\text{Л}} = \frac{\varepsilon_j}{U_{\text{ПШ}}} \cdot 100\%$$

**Дифференциальной нелинейностью** АЦП в данной точке  $k$  характеристики преобразования называется разность между значением кванта преобразования  $h_k$  и средним значением кванта преобразования  $h$ . Значения дифференциальной нелинейности выражаются в долях ЕМР или процентах от полной шкалы. Для характеристики, приведенной на рис. 4.2

$$\delta_{\text{ДЛ}} = \frac{h_k - h}{U_{\text{ПШ}}} \cdot 100\%$$

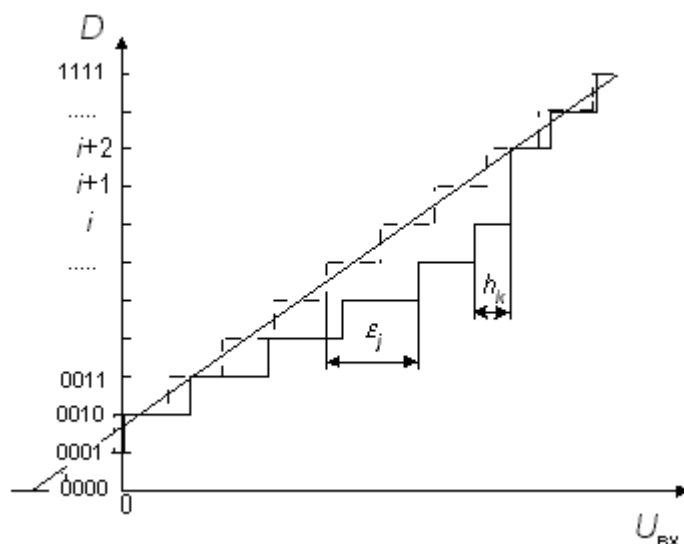


Рис. 4.2

**Монотонность характеристики преобразования** - это неизменность знака приращения выходного кода  $D$  при монотонном изменении входного преобразуемого сигнала.

**Температурная нестабильность АЦП** характеризуется температурными коэффициентами погрешности полной шкалы и погрешности смещения нуля.

#### 4.2. Динамические параметры

**Максимальная частота дискретизации (преобразования)** - это наибольшая частота, с которой происходит образование выборочных значений сигнала. При этом параметры АЦП не выходят за заданные пределы. Максимальная частота дискретизации измеряется числом выборок в секунду.

**Время преобразования ( $t_{пр}$ )** - это время, отсчитываемое от начала импульса дискретизации или начала преобразования до появления на выходе устойчивого кода, соответствующего данной выборке. Для АЦП последовательного счета или многотактного интегрирования, эта величина является переменной, зависящей от значения входного сигнала. Для параллельных или последовательно-параллельных АЦП, а также АЦП последовательного приближения время преобразования является примерно постоянной величиной. При работе АЦП без УВХ время преобразования является апертурным временем.

**Время выборки (стробирования)** - время, в течение которого происходит образование одного выборочного значения. При работе без УВХ равно времени преобразования АЦП.

### 5. Обзор микросхем АЦП

Функциональная схема АЦП последовательного приближения К1113ПВ1, выполненный по КМДП технологии, показана на рис. 5.1.

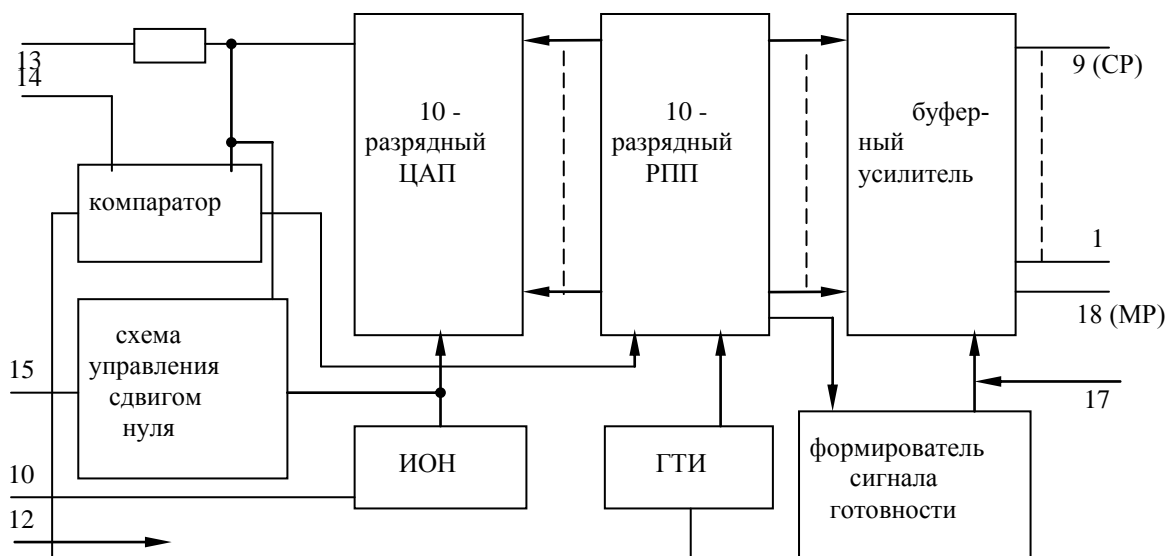


Рис. 5.1

Микросхема К1113ПВ1 выполняет функцию 10-разрядного АЦП однополярного или биполярного входного сигнала с представлением результатов преобразования в параллельном двоичном коде. Для ее эксплуатации необходимы два источника питания и регулировочные резисторы. Выходные каскады с тремя состояниями позволяют считывать результат преобразования непосредственно на шину данных МП. Основные электрические параметры микросхемы К1113ПВ1А представлены в табл. 5.1.

Таблица 5.1

Параметр	Не менее	Не более
Число разрядов $n$	10	-
Нелинейность $\delta_L$ , %	- 0,1	0,1
Дифференциальная нелинейность $\delta_{LD}$ , %	- 0,1	0,1
Абсолютная погрешность преобразования в конечной точке шкалы	- 20	20
Напряжение смещения нуля на входе, мВ	- 30	30
Время преобразования $t$ , мкс	-	30
Напряжение питания $U_1$ , В	4,5	5,5
Напряжение питания $U_2$ , В	-16,5	-13,5
Ток потребления $I_1$	-	10
Ток потребления $I_2$	-	20
Входное сопротивление, кОм	10	-
Диапазон униполярного входного напряжения, В	-	10,24
Диапазон биполярного входного напряжения, В	-5,12	5,12
Предельно допустимое значение униполярного входного напряжения, В	0	10,5
Предельно допустимые значения биполярного входного напряжения, В	-5,5	5,5

Схема включения АЦП показана на рис. 5.2.

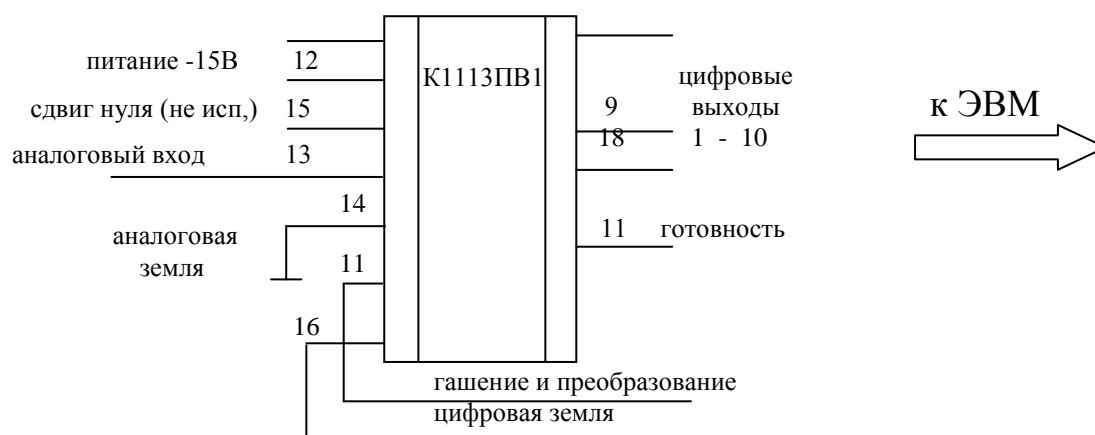


Рис. 5.2

### Микросхема К572ПВ1

Представляет собой 12-разрядный преобразователь напряжения в двоичный код. В комплекте с внешним ОУ (компаратором), источником  $U_{оп}$  и генератором тактовых импульсов микросхема выполняет функции АЦП последовательного приближения с параллельным двоичным кодом на выходах.

Устройство управления обеспечивает следующие режимы работы микросхемы: АЦП, ЦАП, отдельное управление старшими и младшими разрядами, хранение информации в регистре ЦАП.

Основные параметры преобразователя при  $U_{и.п.1} = 5 \text{ В}$ ,  $U_{и.п.2} = 15 \text{ В}$ ,  $U_{оп} = 10,24 \text{ В}$ ,  $U_{вых}^0 = 0,4 \text{ В}$ ,  $U_{вых}^1 = 2,4 \text{ В}$ ,  $f_T = 250 \text{ кГц}$  следующие:  $\delta_{л} = \pm 0,05\%$  (К572ПВ1А),  $\pm 0,1\%$  (Б),  $\pm 0,2\%$  (В);  $\delta_{лд} = \pm 0,1\%$  (К572ПВ1А),  $\pm 0,2\%$  (Б),  $\pm 0,4\%$  (В);  $\delta_{пш} = \pm 122 \text{ ед. МР}$ ;  $t_{прб} = 170 \text{ мкс}$ .

Преобразователь К572ПВ1 может работать в режиме ЦАП. Микросхема переводится в режим ЦАП при подаче напряжения высокого уровня на вывод 17. Преобразователь согласуется с ТТЛ ИС при  $U_{и.п.1} = 5 \text{ В} \pm 5\%$  и с КМДП ИС при  $U_{и.п.2} = 15 \text{ В} \pm 5\%$ . Микросхема может быть согласована с восьмиразрядной шиной данных микропроцессорной системы. Выходы могут иметь три устойчивых состояния.

При работе с микросхемой необходимо соблюдать последовательность включения напряжений и меры защиты.

### Микросхема КР572ПВ2

Микросхема представляет собой преобразователь на 3,5 десятичных разрядов, работающий по принципу последовательного счета с двойным интегрированием, с автоматической коррекцией нуля и определением полярности входного сигнала. Микросхема представляет собой электронную часть цифрового вольтметра, измеряющего входной сигнал до  $\pm 1,999 \text{ В}$  и  $\pm 199,9 \text{ мВ}$ . Цифровая информация отображается на светодиодном индикаторе АЛС324Б. Микросхема представляет собой функционально-законченное устройство. Для ра-

боты преобразователя совместно с ИС используются только внешние конденсаторы, резисторы и источники питания.

Основные параметры преобразователя при  $U_{и.п.1} = 5$  В,  $U_{и.п.2} = -5$  В:  $\delta_{пш} = \pm 1$  ед. МР (КР572ПВ2А),  $\pm 3$  ед. МР (Б),  $\pm 5$  ед. МР (В); время цикла преобразования при  $f_T = 50$  кГц равно 300 мс; входное сопротивление до 20 МОм;  $I_{пот} = < 1,8$  мА.

Микросхема имеет дифференциальные входы и высокую степень ослабления синфазного сигнала ( $K_{ос.сф} = 100$  дБ), что позволяет использовать преобразователь в условиях действия сильных помех.

В микросхеме предусмотрено использование внутреннего и внешнего тактовых генераторов. В первом случае частота регулируется конденсатором С1, емкость которого выбирается из условия  $C1 = R1 - 0,45/f_T$ . Для повышения стабильности  $f_T$  можно применять кварцевый резонатор, подключаемый между выводами 39 и 40. При работе с внешним генератором его подключают к выводу 40 (выводы 38 и 39 не используются). При работе с преобразователем следует соблюдать правила подачи напряжения и защиты. Максимальные значения напряжений  $U_{и.п.1} = 5,5$  В,  $U_{и.п.2} = -8$  В.

#### **Микросхема Н572ПВ3**

Она представляет собой восьмиразрядный АЦП, работающий по принципу последовательного приближения. Микросхема работает от одного источника питания, в ней может использоваться как внутренний, так и внешний тактовый генератор. Частота тактового генератора определяется сопротивлением резистора R3. Внешний генератор может подключаться к выводу 8.

Основные параметры преобразователя при  $U_{и.п.1} = 5$  В,  $U_{и.п.2} = -10$  В следующие:  $\delta_{л} = \pm 0,5$  ед. МР,  $\delta_{лд} = \pm 0,75$  ед. МР,  $\delta_{пш} = \pm 3$  ед. МР,  $t_{прб} = 7,5$  мкс,  $I_{пот} = < 1$  мА. Тактовая частота 0,4 . . 1,5 МГц,  $U_{оп} = -(19,8 . . 10,5)$  В. Выходы микросхемы 1 — 5, 15 — 18 можно нагружать на ТТЛ ИС.

Преобразователь согласуется с микропроцессорными устройствами и может запоминать выходную информацию. Выходные цепи имеют три устойчивых состояния.

#### **Микросхема К572ПВ4**

Представляет собой БИС аналого-цифровой системы сбора данных. Основу микросхемы составляет восьмиразрядный АЦП последовательного приближения. Кроме того, в микросхему входят: восьмиканальный мультиплексор, ОЗУ на 64 бит с произвольной выборкой, буферные устройства с тремя устойчивыми состояниями, устройство управления.

Выбор канала ОЗУ осуществляется с помощью двоичных сигналов на входах А2, А1, А0 при напряжении высокого уровня на входе АLE. Адрес фиксируется при напряжении низкого уровня на входе АLE. Обновление данных в ОЗУ происходит при подаче напряжения низкого уровня на вход STAT. Данные поступают на выходы DBO — DV7 при напряжении низкого уровня на входе GS. Выходы микросхемы согласуются с микропроцессорной системой.

Основные параметры при  $U_{и.п.1} = 5$  В:  $\delta_{л} = \pm 0,5$  ед. МР,  $\delta_{лд} = \pm 0,5$  ед. МР,  $\delta_{пш} = \pm 1$  ед. МР,  $t_{прб} = 32$  мкс,  $f_T = 2,5$  МГц,  $I_{пот} = < 3$  мА.



### **Микросхема К1107ПВ1**

Микросхема представляет собой шестиразрядный быстродействующий АЦП параллельного действия. Входное напряжение преобразуется в двоичный прямой и обратный код и код с дополнением до двух (прямой и обратный). В состав микросхемы входят 64 компаратора, усилитель опорного напряжения, дешифратор, выходной буферный регистр и устройство управления выходным кодом.

На вход преобразователя необходимо подать тактовые импульсы. Минимальная длительность этих импульсов определяется быстродействием компараторов и составляет 15 нс, минимальный период следования импульсов зависит от быстродействия преобразователя кодов и равняется 30 нс. Частота преобразования не превышает 20 МГц.

Основные параметры ИС при  $U_{и.п.1} = 5В$ ,  $U_{и.п.2} = -6В$  следующие:  $\delta_{л} = \pm 0,5$  ед. МР,  $\delta_{лд} = \pm 0,5$  ед. МР,  $\delta_{пш} = \pm 3,1$  ед. МР,  $t_{прб} = 0,1$  мкс,  $I_{пот} = 180$  мА. Диапазон входного напряжения 0...2 В. Напряжение  $U_{оп}$  устанавливается в пределах от  $-0,075$  до 0 В по выводу 9 и от  $-1,9$  до  $-2,1$  В по выводу 16. Изменением опорных напряжений можно корректировать напряжение смещения нуля на выходе и погрешности  $\delta_{пш}$ . Микросхема управляется уровнями, сигналов, соответствующими ТТЛ ИС. На базе АЦП К1107ПВ1 можно строить последовательно-параллельные преобразователи на 10—12 разрядов, частота преобразования до 5 МГц.

Микросхема К1107ПВ2 подобна ИС К1107ПВ1, но имеет восемь разрядов.

### **Микросхема К1107ПВ3**

Она представляет собой быстродействующий шестиразрядный АЦП параллельного действия. На выходе АЦП формирует двоичный код с ЭСЛ-уровнями. Преобразователь имеет цифровой выход переполнения, на котором сигнал 1 появляется при  $U_{вх} > U_{он1}$ . Этот выход позволяет наращивать разрядность за счет параллельного соединения преобразователей.

Основные параметры микросхемы:  $\delta_{л} = \pm 0,25$  ед. МР,  $t_{прб} = 20$  нс. Входное напряжение от  $-2,5$  до  $+2,5$  В;  $U_{и.п.1} = 5В$ ,  $U_{и.п.2} = -6В$  значения:  $\delta_{л} = \pm 0,5$  ед. МР,  $\delta_{лд} = \pm 0,5$  ед. МР,  $\delta_{пш} = \pm 3,1$  ед. МР,  $t_{прб} = 0,1$  мкс,  $I_{пот} = 180$  мА.

### **Микросхема К1108ПВ1**

Она представляет собой десятиразрядный АЦП последовательного приближения. В ИС имеется выходной регистр на три состояния. Микросхема предусматривает работу в десяти- и восьмиразрядных режимах.

Микросхема может работать как от внешнего, так и от внутреннего источника  $U_{оп}$ . В первом случае напряжение подается на вывод 18, во втором — вывод 19 через конденсатор 0,47 мкФ подключается на землю. Микросхема предусматривает работу от внешнего и от внутреннего генератора тактовых импульсов. По сигналам тактового генератора ИС согласована с ЭСЛ-уровнями. Для согласования с управляющими ТТЛ ИС необходимо использовать согласующие элементы, например ИС К500ПУ124.

Кодирование и запись информации в выходной регистр производится за 12 тактов, после чего выдается сигнал «Готовность данных» (уровень 0). Информация в регистре будет храниться до окончания следующего цикла преобразования. Вывод информации из АЦП осуществляется по сигналу «Разрешение считывания» (уровень 0).

Основные параметры К1108ПВ1:  $\delta_{л} = \pm 1$  ед. МР (К1108ПВ1А),  $\pm 3$  ед. МР (Б);  $\delta_{лд} = \pm 0,75$  ед. МР (К1108П1А),  $\pm 3$  ед. МР (Б);  $\delta_{пш} = \pm 4$  ед. МР (К1108ПВ1А),  $\pm 7$  ед. МР (Б);  $t_{прб}$  (для десяти разрядов)  $= < 0,9$  мкс;  $I_{пот} = < 140$  мА. Входное напряжение от -1 до +4,2 В,  $U_{он} = 4,096$  В,  $f_T = < 30$  МГц,  $U_{и.п.1} = 5В + 5\%$ ,  $U_{и.п.2} = -5,2 В + 3\%$ . Выходные уровни АЦП согласуются с ТТЛ ИС.

### **Микросхема КН08ПП1**

Она представляет собой высокоточный АЦП, преобразующий входное напряжение в последовательность импульсов, с частотой, пропорциональной входному сигналу. Выходные импульсы имеют прямоугольную форму с калиброванной длительностью частотой до 500 кГц. При определенных номиналах навесных элементов входное напряжение 0...10 В преобразуется в частоту 0...10 кГц. Микросхема имеет встроенный источник  $U_{он} = (7,5.. 8,5)$  В.

Основные параметры К1108ПП1: погрешность линейного преобразования ( $\delta_{л}$ ) в диапазоне частот 5 Гц...10 кГц не превышает 0,01%;  $\delta_{пш} = \pm 10\%$ ;  $I_{пот} = < 3,5$  мА. Частота генерирующих импульсов устанавливается с помощью внешних элементов, она прямо пропорциональна  $U_M$  и обратно пропорциональна R1, C1. Источники питания  $U_{и.п.1} = 10...19$  В,  $U_{и.п.2} = -(15...19)$  В. Уровни выходных сигналов согласуются с ТТЛ ИС с помощью внешних резисторов и источника питания. Преобразователь может использоваться в режиме преобразования «частота — напряжение».

### **Микросхема АЦП КР572ПВ5**

Назначение АЦП КР572ПВ5 - преобразование напряжения аналогового сигнала в цифровую форму для последующего отображения уровня сигнала цифровым индикатором. Прибор рассчитан на совместную работу с жидкокристаллическим четырехразрядным цифровым индикатором. Микросхему КР572ПВ5 изготавливают по технологии КМОП.

В преобразователе использован принцип двойного интегрирования, в соответствии с которым вначале разряженный интегрирующий конденсатор Синт заряжают определенное время током, пропорциональным измеряемому напряжению, а затем разряжают определенным током до нуля. Время, в течение которого происходит разрядка конденсатора, будет пропорционально измеряемому напряжению. Это время измеряют с помощью счетчика импульсов; с его выхода сигналы подают на индикатор.

Пределы входного напряжения устройства зависят от образцового напряжения  $U_{обр}$  и определяются соотношением  $U_{вх.мах} = \pm 1,999 U_{обр}$ . Текущие показания индикатора должны выражаться числом, равным  $1000 U_{вх}/U_{обр}$ . Период измерений при тактовой частоте 50 кГц равен 320 мс.

## 6. Цифро-аналоговые преобразователи

### Введение

Цифро-аналоговые преобразователи (ЦАП) предназначены для преобразования цифрового сигнала в аналоговый. Напряжение на выходе ЦАП будет наибольшим ( $U_{\text{вых}}=U_{\text{макс}}$ ), когда во всех разрядах входного кода – логические единицы, т.е. когда его вес  $Q$  максимальный. Величина  $Q_{\text{макс}}=2^n-1$ , где  $n$  – разрядность кода. Так, при  $n=4$   $Q_{\text{макс}} = 15$  (код  $N=1111$ ). Считая зависимость  $U_{\text{вых}}$  от  $Q$  линейной, можно записать приращение выходного напряжения на каждую единицу входного кода (от приращения кода на единицу в младшем разряде)  $\Delta u=U_{\text{макс}}/2^n-1$ . Величину  $\Delta u$  называют квантом. Если, к примеру,  $n=3$ , то квант  $\Delta u = U_{\text{макс}} / 7$ .

Таким образом, диапазон выходного напряжения  $U_{\text{макс}}$  разбивается входным кодом на ряд одинаковых интервалов, каждый из которых равен кванту  $\Delta u$ . Их границами являются квантованные уровни ( $\Delta u, 2\Delta u, 3\Delta u$  и т.д.). Так как квант является наименьшей составляющей выходного напряжения, то погрешность преобразования код-аналог нельзя гарантировать меньшей кванта  $\Delta u$ .

Напряжение на выходе ЦАП при наличии логических единиц в нескольких разрядах входного кода является суммой напряжений, каждое из которых обусловлено единицей в соответствующем разряде. Величины этих составляющих относятся как веса единиц в разрядах. Так, к примеру, если на входе присутствует код 1011001, то напряжение на выходе ЦАП равно  $1(64\Delta u) + 0(32\Delta u) + 1(16\Delta u) + 1(8\Delta u) + 0(4\Delta u) + 0(2\Delta u) + 1\Delta u = 89\Delta u$ . Мгновенное напряжение на выходе ЦАП пропорционально весу присутствующего на входах кода, т. е. его десятичному эквиваленту.

Сменяющиеся входные коды обуславливают изменяющееся напряжение на выходе ЦАП. На рис. 6.1. изображена зависимость выходного напряжения ЦАП от величины кода на входе.

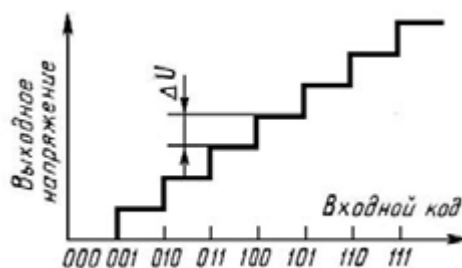


Рис. 6.1

Таким образом, ЦАП предназначен для преобразования числа, определенного, в виде двоичного кода, в напряжение или ток, пропорциональные значению цифрового кода.

## 6.1. Классификация ЦАП

На рис. 6.2 представлена классификация схем ЦАП по схемотехническим признакам.

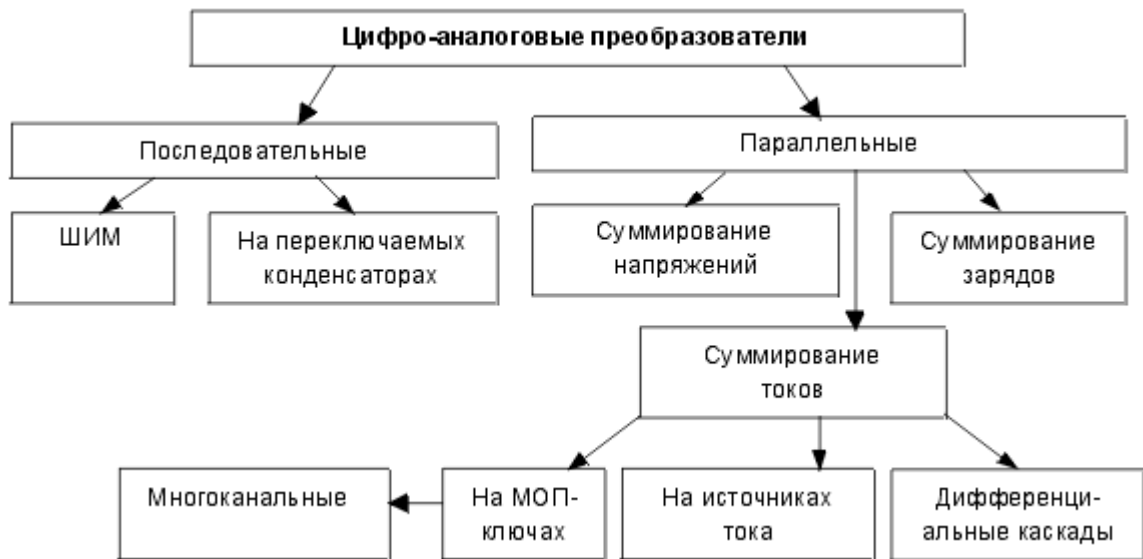


Рис. 6.2

Кроме этого, ИС ЦАП можно разделить по следующим признакам:

- по виду выходного сигнала: с токовым выходом и выходом в виде напряжения;
- по типу цифрового интерфейса: с последовательным вводом и с параллельным вводом входного кода;
- по числу ЦАП на кристалле: одноканальные и многоканальные;
- по быстродействию: умеренного и высокого быстродействия.

## 6.2. Последовательные ЦАП

### ЦАП с широтно-импульсной модуляцией

Схема ЦАП с широтно-импульсной модуляцией (ШИМ) приведена на рис. 6.3.а, а временная диаграмма его работы – на рис. 6.3.б.

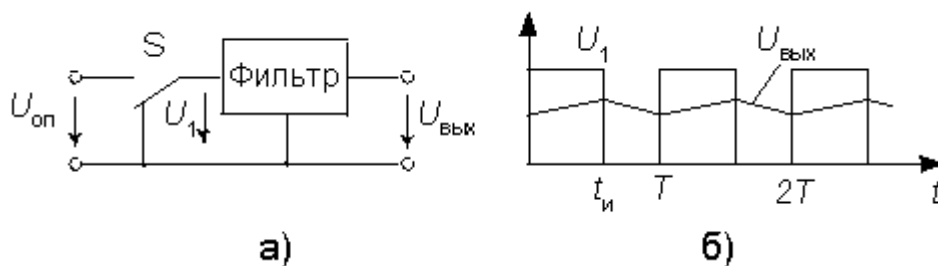


Рис. 6.3

Наиболее просто организуется цифрово-аналоговое преобразование в том случае, если ЦАП работает совместно с микроконтроллером с встроенной функцией широтно-импульсного преобразования. Выход ШИМ управляет ключом

чом  $S$ . В зависимости от заданной разрядности преобразования контроллер с помощью своего таймера/счетчика формирует последовательность импульсов, относительная длительность которых  $g = t_i / T$  определяется соотношением

$$\gamma = \frac{D}{2^N}$$

где  $N$  – разрядность преобразования, а  $D$  – преобразуемый код. Фильтр нижних частот сглаживает импульсы, выделяя среднее значение напряжения. В результате выходное напряжение преобразователя

$$U = \gamma U = \frac{DU}{2^N}$$

Рассмотренная схема обеспечивает почти идеальную линейность преобразования, не содержит прецизионных элементов (за исключением источника опорного напряжения). Основной ее недостаток – низкое быстродействие.

### Последовательный ЦАП на переключаемых конденсаторах

Рассмотренная выше схема ЦАП с ШИМ вначале преобразует цифровой код во временной интервал, который формируется с помощью двоичного счетчика квант за квантом, поэтому для получения  $N$ -разрядного преобразования необходимы  $2N$  временных квантов (тактов). Схема последовательного ЦАП на переключаемых конденсаторах, приведенная на рис. 6.4, позволяет выполнить цифро-аналоговое преобразование за значительно меньшее число тактов.

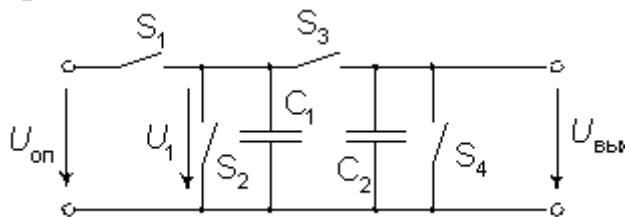


Рис. 6.4

В этой схеме емкости конденсаторов  $C1$  и  $C2$  равны. Перед началом цикла преобразования конденсатор  $C2$  разряжается ключом  $S4$ . Входное двоичное слово задается в виде последовательного кода. Его преобразование осуществляется последовательно, начиная с младшего разряда  $d_0$ . Каждый такт преобразования состоит из двух полутактов. В первом полутакте конденсатор  $C1$  заряжается до опорного напряжения  $U_{оп}$  при  $d_0=1$  посредством замыкания ключа  $S1$  или разряжается до нуля при  $d_0=0$  путем замыкания ключа  $S2$ . Во втором полутакте при разомкнутых ключах  $S1$ ,  $S2$  и  $S4$  замыкается ключ  $S3$ , что вызывает деление заряда пополам между  $C1$  и  $C2$ . В результате получаем

$$U1(0) = U_{вых}(0) = (d_0/2)U_{оп}$$

Пока на конденсаторе  $C2$  сохраняется заряд, процедура заряда конденсатора  $C1$  должна быть повторена для следующего разряда  $d_1$  входного слова. После нового цикла перезарядки напряжение на конденсаторах будет равным

$$U_{\text{вых}}(1) = U_1(1) = \frac{(d_1 + d_0/2)U_{\text{оп}}}{2} = \frac{(2d_1 + d_0)U_{\text{оп}}}{4}$$

Точно также выполняется преобразование для остальных разрядов слова. В результате для N-разрядного ЦАП выходное напряжение будет равно

$$U_{\text{вых}}(N-1) = U_1(N-1) = \frac{U_{\text{оп}}}{2^N} \sum_{k=0}^{N-1} d_k 2^k = \frac{U_{\text{оп}}}{2^N} D$$

Если требуется сохранять результат преобразования продолжительное время, к выходу схемы следует подключить УВХ. После окончания цикла преобразования следует провести цикл выборки, перевести УВХ в режим хранения и вновь начать преобразование.

Таким образом, представленная схема выполняет преобразование входного кода за 2N квантов, что значительно меньше, чем у ЦАП с ШИМ. Здесь требуется только два согласованных конденсатора небольшой емкости. Конфигурация аналоговой части схемы не зависит от разрядности преобразуемого кода. Однако по быстродействию последовательный ЦАП значительно уступает параллельным ЦАП, что ограничивает область его применения.

### 6.3. Параллельные ЦАП

#### ЦАП с суммированием весовых токов

Большинство схем параллельных ЦАП основано на суммировании токов, величина каждого из которых пропорциональна весу цифрового двоичного разряда, причем должны суммироваться только токи разрядов, значения которых равны 1. Пусть, например, требуется преобразовать двоичный четырехразрядный код в аналоговый сигнал тока. У четвертого, старшего значащего разряда (СЗР) вес будет равен  $2^3=8$ , у третьего разряда –  $2^2=4$ , у второго –  $2^1=2$  и у младшего (МЗР) –  $2^0=1$ . Если вес МЗР  $I_{\text{МЗР}}=1$  мА, то  $I_{\text{СЗР}}=8$  мА, а максимальный выходной ток преобразователя  $I_{\text{вых.макс}}=15$  мА и соответствует коду 1111. Понятно, что коду 10011, например, будет соответствовать  $I_{\text{вых}}=9$  мА и т.д. Схема ЦАП с суммированием весовых токов приведена на рис. 6.5.

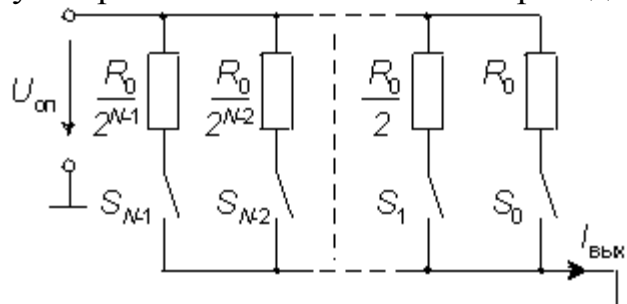


Рис. 6.5

Сопротивления резисторов выбирают так, чтобы при замкнутых ключах S через них протекал ток, соответствующий весу разряда. Ключ должен быть замкнут тогда, когда соответствующий ему бит входного слова равен единице. Выходной ток определяется соотношением

$$I_{\text{ВЫХ}} = \frac{U_{\text{ОП}}}{R_0} \sum_{k=0}^{N-1} d_k 2^k = \frac{U_{\text{ОП}}}{R_0} D$$

При высокой разрядности ЦАП токозадающие резисторы должны быть согласованы с высокой точностью. Наиболее жесткие требования по точности предъявляются к резисторам старших разрядов, поскольку разброс токов в них не должен превышать тока младшего разряда. Поэтому разброс сопротивления в  $k$ -м разряде должен быть меньше, чем

$$DR / R = 2^{-k}.$$

Из этого условия следует, что разброс сопротивления резистора, например, в четвертом разряде не должен превышать 3%, а в 10-м разряде – 0,05% и т.д.

Недостатки схемы ЦАП с суммированием весовых токов:

- при различных входных кодах ток, потребляемый от источника опорного напряжения (ИОН), будет различным, а это повлияет на величину выходного напряжения ИОН;

- значения сопротивлений весовых резисторов могут различаться в тысячи раз, а это делает весьма затруднительной реализацию этих резисторов в полупроводниковых ИС;

- сопротивление резисторов старших разрядов в многоразрядных ЦАП может быть соизмеримым с сопротивлением замкнутого ключа, а это приведет к погрешности преобразования;

- в этой схеме к разомкнутым ключам прикладывается значительное напряжение, что усложняет их построение.

Эти недостатки устранены в схеме ЦАП AD7520 (отечественный аналог 572ПА1), разработанном фирмой Analog Devices в 1973 году. Схема ЦАП с переключателями и матрицей постоянного импеданса представлена на рис. 6.6. В качестве ключей здесь используются МОП-транзисторы.

В этой схеме задание весовых коэффициентов ступеней преобразователя осуществляют посредством последовательного деления опорного напряжения с помощью резистивной матрицы постоянного импеданса. Основным элементом такой матрицы представляет собой делитель напряжения, который должен удовлетворять следующему условию: если он нагружен на сопротивление  $R_n$ , то его входное сопротивление  $R_{вх}$  также должно принимать значение  $R_n$ . Коэффициент ослабления цепи  $a=U_2/U_1$  при этой нагрузке должен иметь заданное значение.

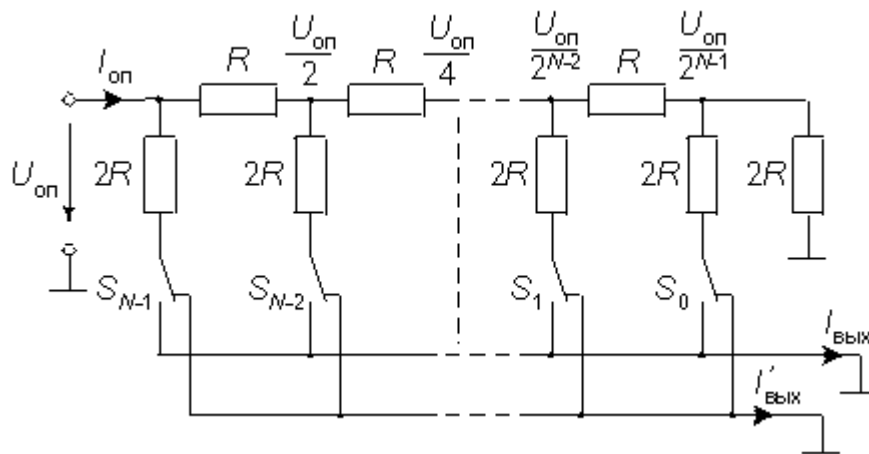


Рис. 6.6

Согласно рис. 6.6, выходные токи схемы определяются соотношениями

$$I_{\text{ВЫХ}} = \frac{U_{\text{оп}}}{R \cdot 2^N} \sum_{k=0}^{N-1} d_k 2^k = \frac{U_{\text{оп}}}{R \cdot 2^N} D$$

Так как выходной ток ЦАП зависит от  $U_{\text{оп}}$  линейно, преобразователи такого типа можно использовать для умножения аналогового сигнала (подавая его на вход опорного напряжения) на цифровой код. Такие ЦАП называют перемножающими (MDAC).

ЦАП на МОП ключах имеют относительно низкое быстродействие из-за большой входной емкости МОП-ключей и минимальную мощность потребления. Например, 12-разрядный ЦАП 572ПА2 имеет время установления выходного тока при смене входного кода от 000...0 до 111...1, равное 15 мкс. и дифференциальную нелинейность до 0,025% (1 МЗР).

### ЦАП на источниках тока

ЦАП на источниках тока обладают более высокой точностью. В отличие от предыдущего варианта в данном случае весовые токи обеспечиваются транзисторными источниками тока, имеющими высокое динамическое сопротивление. Схема ЦАП на источниках тока приведена на рис. 6.7.

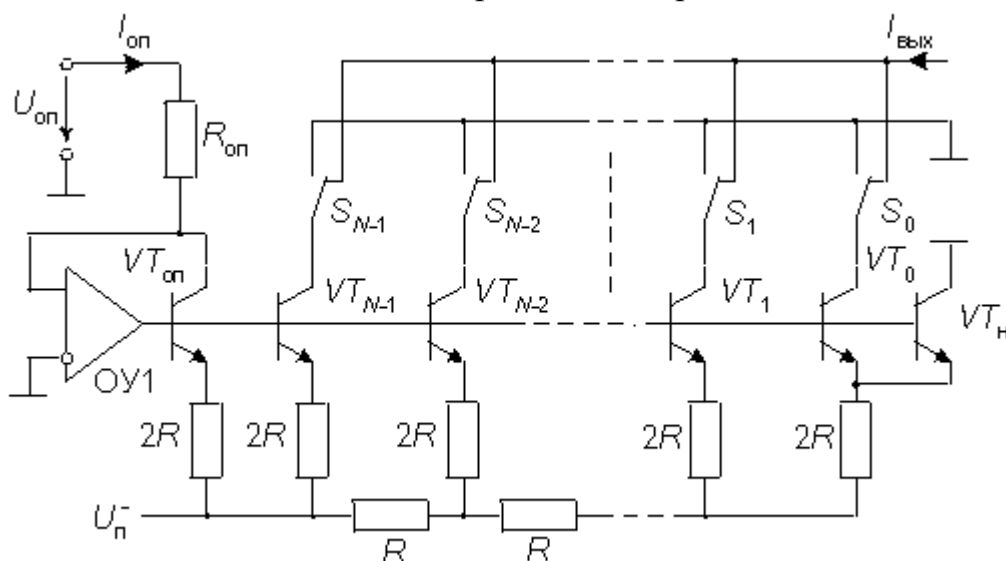


Рис. 6.7



Весовые токи формируются с помощью резистивной матрицы. Потенциалы баз транзисторов одинаковы, а чтобы были равны и потенциалы эмиттеров всех транзисторов, площади их эмиттеров делают различными в соответствии с весовыми коэффициентами. Правый резистор матрицы подключен не к общей шине, как на схеме рис. 6.7, а к двум параллельно включенным одинаковым транзисторам VT0 и VTn, в результате чего ток через VT0 равен половине тока через VT1. Входное напряжение для резистивной матрицы создается с помощью опорного транзистора VTоп и операционного усилителя ОУ1, выходное напряжение которого устанавливается таким, что коллекторный ток транзистора VTоп принимает значение Iоп. Выходной ток для N-разрядного ЦАП равен

$$I_{\text{ВЫХ}} = \frac{I_{\text{оп}}}{2^N} D$$

Примером ЦАП на переключателях тока с биполярными транзисторами в качестве ключей являются 12-разрядный 594ПА1 с временем установления 3,5 мкс и погрешностью линейности не более 0,012%. Еще более высоким быстродействием обладает 14-разрядный ЦАП AD9764 со временем установления

35 нс и погрешностью линейности не более 0,01%.

В качестве переключателей тока Sk часто используются биполярные дифференциальные каскады, в которых транзисторы работают в активном режиме. Это позволяет сократить время установления до единиц наносекунд. Схема переключателя тока на дифференциальных усилителях приведена на рис. 6.8. Дифференциальные каскады VT1–VT3 и VT' 1–VT' 3 образованы из стандартных ЭСЛ вентилях. Ток Ik, протекающий через вывод коллектора выходного эмиттерного повторителя, является выходным током ячейки. Если на цифровой вход Dk подается напряжение высокого уровня, то транзистор VT3 открывается, а транзистор VT' 3 закрывается. Выходной ток равен

$$I_k \approx \frac{(5,2 - 0,9)V}{R_3}$$

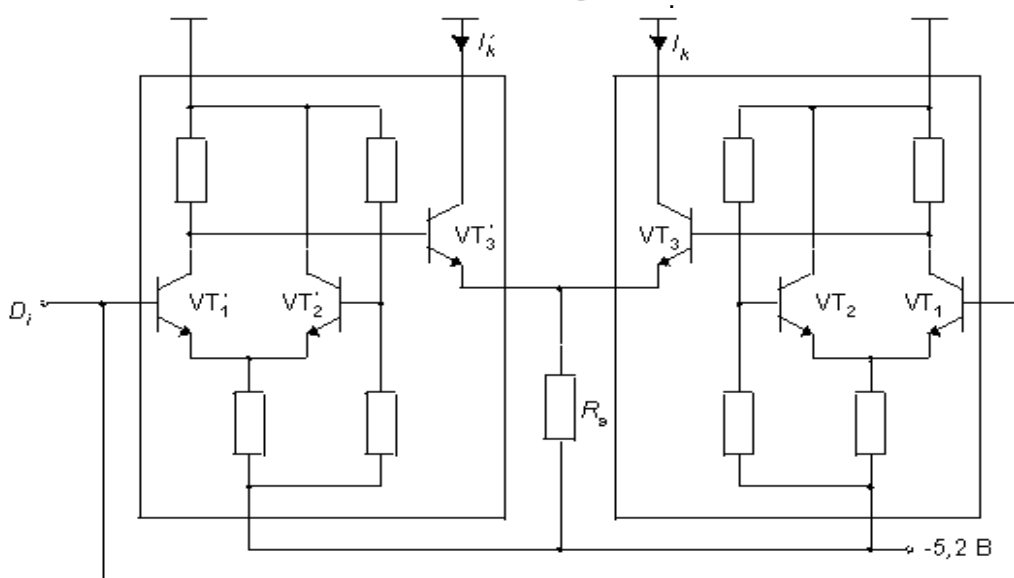


Рис. 6.8

Точность значительно повышается, если резистор  $R_{\Sigma}$  заменить источником постоянного тока, как в схеме на рис. 6.7. Благодаря симметрии схемы существует возможность формирования двух выходных токов – прямого и инверсного. Наиболее быстродействующие модели подобных ЦАП имеют входные ЭСЛ-уровни. Примером может служить 12-ти разрядный MAX555, имеющий время установления 4 нс до уровня 0,1%. Поскольку выходные сигналы таких ЦАП захватывают радиочастотный диапазон, они имеют выходное сопротивление 50 или 75 Ом, которое должно быть согласовано с волновым сопротивлением кабеля, подключаемого к выходу преобразователя.

### Формирование выходного сигнала в виде напряжения

Существует несколько способов формирования выходного напряжения для ЦАП с суммированием весовых токов. Два из них показаны на рис. 6.9.

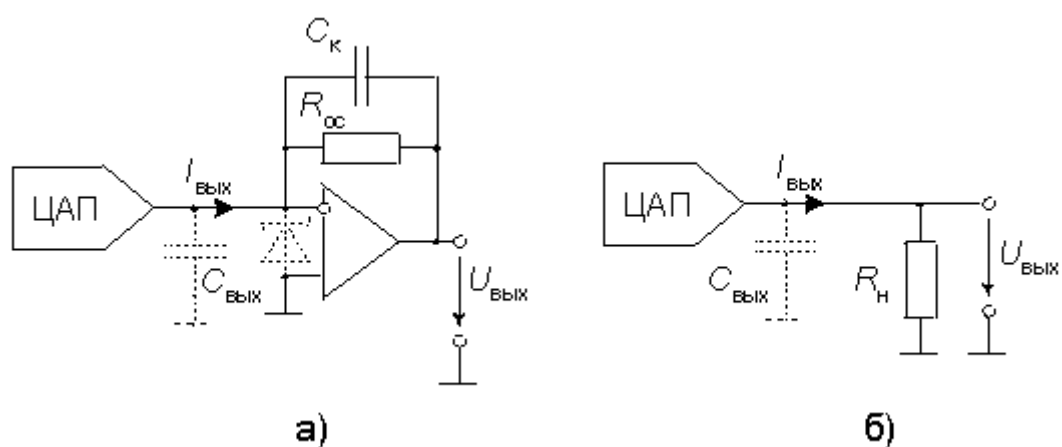


Рис. 6.9

На рис. 6.9 а) приведена схема с преобразователем тока в напряжение на операционном усилителе. Эта схема пригодна для всех ЦАП с токовым выходом. Для ЦАП на МОП-ключах выходное напряжение схемы на рис. 6.9а

$$U_{\text{ВЫХ}} = -R_{\text{ОС}} I_{\text{ВЫХ}} = -\frac{R_{\text{ОС}}}{R \cdot 2^N} U_{\text{ОП}} D$$

Обычно сопротивление резистора обратной связи  $R_{\text{ОС}}=R$ . В таком случае

$$U_{\text{ВЫХ}} = -\frac{1}{2^N} U_{\text{ОП}} D$$

Большинство моделей ЦАП имеет значительную выходную емкость. Например, у AD7520 с МОП-ключами в зависимости от входного кода  $C_{\text{ВЫХ}}$  составляет величину 30...120 пФ, у AD565А с источниками тока  $C_{\text{ВЫХ}}=25$  пФ. Эта емкость совместно с выходным сопротивлением ЦАП и резистором  $R_{\text{ОС}}$  создает дополнительный полюс частотной характеристики петли обратной связи ОУ, который может вызвать неустойчивость в виде самовозбуждения. Для со-

хранения устойчивости можно включить параллельно резистору  $R_{ос}$  конденсатор  $C_k$ , емкость которого можно взять равной  $C_{вых}$ .

Ранние модели ЦАП с МОП ключами (AD7520, 572ПА1 и др.) допускают отрицательное напряжение на ключах не свыше 0,7 В, поэтому для защиты ключей между выходами ЦАП следует включать диод Шоттки (см. рис. 6.9 а).

Для ЦАП на источниках тока преобразование выходного тока в напряжение может быть произведено с помощью резистора (рис. 6.9 б). В этой схеме невозможно самовозбуждение и сохранено быстродействие, однако амплитуда выходного напряжения должна быть небольшой (например, для AD565А в биполярном режиме в пределах  $\pm 1$  В). В противном случае транзисторы источников тока могут выйти из линейного режима. Такой режим обеспечивается при низких значениях сопротивления нагрузки:  $R_H \gg 1$  кОм. Для увеличения амплитуды выходного сигнала ЦАП в этой схеме к ее выходу можно подключить неинвертирующий усилитель на ОУ.

Для ЦАП с МОП-ключами, чтобы получить выходной сигнал в виде напряжения, можно использовать инверсное включение резистивной матрицы (рис. 6.10).

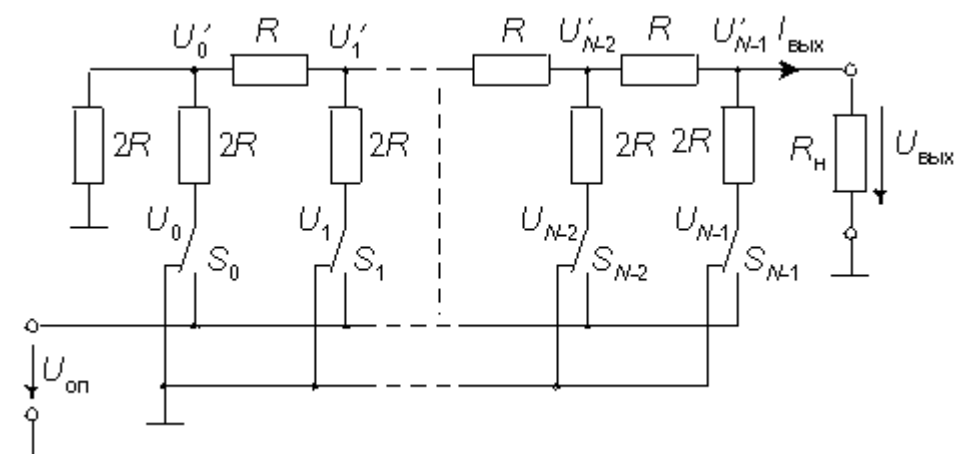


Рис. 6.10

Выходное напряжение ЦАП равно

$$U_{\text{ВЫХ}} = \frac{R_H}{R + R_H} \cdot \frac{U_{\text{ОП}}}{2^N} D$$

Недостатками этой схемы являются: большое падение напряжения на ключах, изменяющаяся нагрузка источника опорного напряжения и значительное выходное сопротивление. Вследствие первого недостатка по этой схеме нельзя включать ЦАП типа 572ПА1 или 572ПА2, но можно 572ПА6 и 572ПА7. Из-за второго недостатка источник опорного напряжения должен обладать низким выходным сопротивлением, в противном случае возможна не монотонность характеристики преобразования.

### Параллельный ЦАП на переключаемых конденсаторах

Основой ЦАП этого типа является матрица конденсаторов, емкости которых соотносятся как целые степени двух. Схема параллельного ЦАП на коммутируемых конденсаторах приведена на рис. 6.11. Емкость  $k$ -го конденсатора матрицы определяется соотношением

$$C_k = 2^k C_0.$$

Цикл преобразования состоит из двух фаз. В первой фазе ключи  $S_0 \dots S_{N-1}$  находятся в левой позиции. Ключ сброса  $S_{сб}$  замкнут. При этом все конденсаторы разряжены. Во второй фазе ключ сброса  $S_{сб}$  размыкается. Если  $k$ -й бит входного  $N$ -разрядного слова  $d_k=1$ , то соответствующий ключ  $S_k$  переключается в правую позицию, подключая нижнюю обкладку конденсатора к источнику опорного напряжения, или остается в левой позиции, если  $d_k=0$ . Суммарный заряд конденсаторов матрицы с учетом составит

$$q = U_{оп} \sum_{k=0}^{N-1} C_k d_k = U_{оп} C_0 \sum_{k=0}^{N-1} 2^k d_k = U_{оп} C_0 D$$

Равный заряд получает и конденсатор  $C$  в обратной связи ОУ. При этом выходное напряжение ОУ составит

$$U_{ВЫХ} = -U_{оп} \frac{C_0}{C} D$$

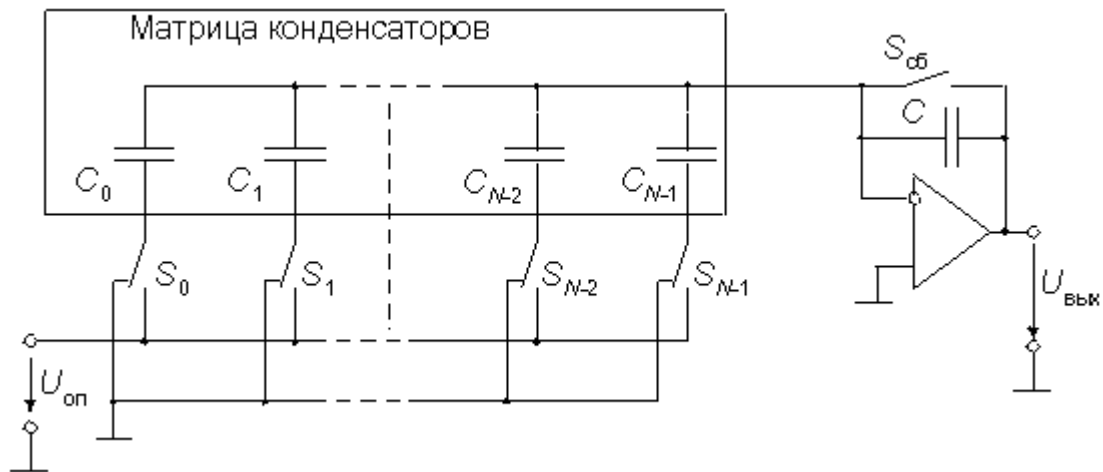


Рис. 6.11

Для хранения результата преобразования (постоянного напряжения) в течение продолжительного времени к выходу ЦАП этого типа следует подключить УВХ. Хранить выходное напряжение неограниченное время, как это могут делать ЦАП с суммированием весовых токов, снабженные регистром-защелкой, преобразователи на коммутируемых конденсаторах не могут из-за утечки заряда. Поэтому они применяются, в основном, в составе АЦП. Другим недостатком является большая площадь кристалла ИС, занимаемая подобной схемой.

## ЦАП с суммированием напряжений

Схема восьмиразрядного преобразователя с суммированием напряжений приведена на рис. 6.12. Основу преобразователя составляет цепь из 256 резисторов равного сопротивления, соединенных последовательно. Вывод  $W$  через ключи  $S_0 \dots S_{255}$  может подключаться к любой точке этой цепи в зависимости от входного числа. Входной двоичный код  $D$  преобразуется дешифратором  $8 \times 256$  в унитарный позиционный код, непосредственно управляющий ключами. Если приложить напряжение  $U_{AB}$  между выводами  $A$  и  $B$ , то напряжение между выводами  $W$  и  $B$  составит

$$U_{WB} = U_{AB} D .$$

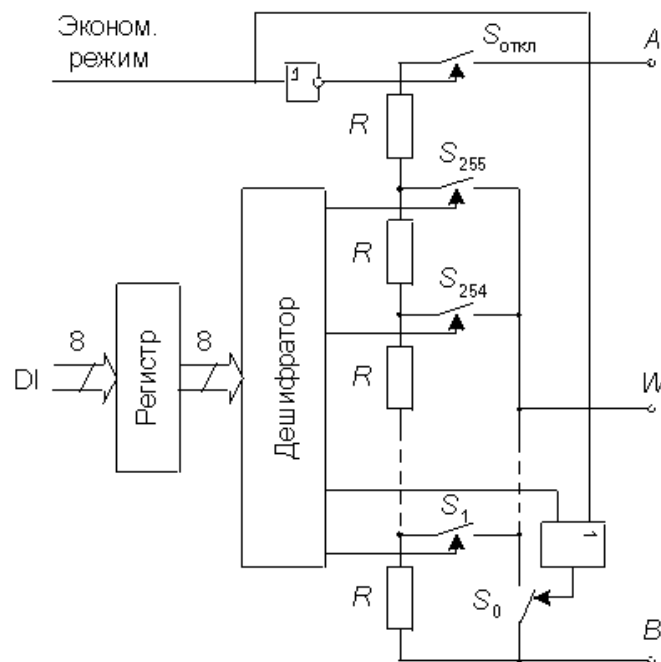


Рис. 6.12

Достоинством данной схемы является малая дифференциальная нелинейность и гарантированная монотонность характеристики преобразования. Ее можно использовать в качестве резистора, подстраиваемого цифровым кодом.

## 7. Параметры ЦАП

При последовательном возрастании значений входного цифрового сигнала  $D(t)$  от 0 до  $2N-1$  через единицу младшего разряда (ЕМР) выходной сигнал  $U_{вых}(t)$  образует ступенчатую кривую. На рис. 7.1 приведена статическая характеристика преобразования ЦАП. В отсутствие аппаратных погрешностей средние точки ступенек расположены на идеальной прямой 1, которой соответствует идеальная характеристика преобразования. Реальная характеристика

преобразования может существенно отличаться от идеальной размерами и формой ступенек, а также расположением на плоскости координат. Для количественного описания этих различий существует целый ряд параметров.

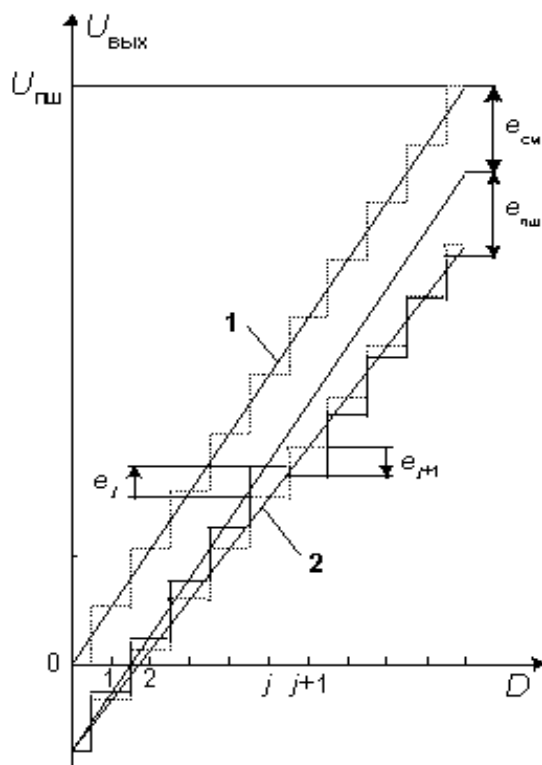


Рис. 7.1

## 7.1. Статические параметры

**Разрешающая способность** - приращение  $U_{\text{ВЫХ}}$  при преобразовании смежных значений  $D_j$ , т.е. отличающихся на ЕМР. Это приращение является шагом квантования. Для двоичных кодов преобразования номинальное значение шага квантования  $h=U_{\text{пш}}/(2N-1)$ , где  $U_{\text{пш}}$  - номинальное максимальное выходное напряжение ЦАП (напряжение полной шкалы),  $N$  - разрядность ЦАП. Чем больше разрядность преобразователя, тем выше его разрешающая способность.

**Погрешность полной шкалы** - относительная разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля

$$\delta_{\text{пш}} = \frac{\varepsilon_{\text{пш}}}{U_{\text{пш}}} \cdot 100\%$$

Данная погрешность является мультипликативной составляющей полной погрешности и указывается соответствующим числом ЕМР.

**Погрешность смещения нуля** - значение  $U_{\text{вых}}$ , когда входной код ЦАП равен нулю. Является аддитивной составляющей полной погрешности. Обычно указывается в милливольтгах или в процентах от полной шкалы

$$\delta_{\text{см}} = \frac{\varepsilon_{\text{см}}}{U_{\text{пш}}} \cdot 100\%$$

**Нелинейность** - максимальное отклонение реальной характеристики преобразования  $U_{\text{вых}}(D)$  от оптимальной (линия 2 на рис. 7.1). Оптимальная характеристика находится эмпирически так, чтобы минимизировать значение погрешности нелинейности. Нелинейность обычно определяется в относительных единицах, но в справочных данных приводится также и в ЕМР. Для характеристики, приведенной на рис. 7.1,

$$\delta_{\text{дл}} = \frac{\varepsilon_j + \varepsilon_{j+1}}{U_{\text{пш}}} \cdot 100\%$$

**Дифференциальная нелинейность** - максимальное изменение (с учетом знака) отклонения реальной характеристики преобразования  $U_{\text{вых}}(D)$  от оптимальной при переходе от одного значения входного кода к другому смежному значению. Обычно определяется в относительных единицах или в ЕМР. Для характеристики, приведенной на рис. 7.1,

$$\delta_{\text{дл}} = \frac{\varepsilon_j + \varepsilon_{j+1}}{U_{\text{пш}}} \cdot 100\%$$

**Монотонность характеристики преобразования** - возрастание (уменьшение) выходного напряжения ЦАП  $U_{\text{вых}}$  при возрастании (уменьшении) входного кода  $D$ . Если дифференциальная нелинейность больше относительного шага квантования  $h/U_{\text{пш}}$ , то характеристика преобразователя немонотонна.

**Температурная нестабильность** преобразователя характеризуется температурными коэффициентами погрешности полной шкалы и погрешности смещения нуля.

Погрешности полной шкалы и смещения нуля могут быть устранены калибровкой (подстройкой). Погрешности нелинейности простыми средствами устранить нельзя.

## 7.2. Динамические параметры

Динамические параметры ЦАП определяются по изменению выходного сигнала при скачкообразном изменении входного кода, обычно от величины "все нули" до "все единицы". Переходная характеристика ЦАП приведена на рис. 7.2.

**Время установления** - интервал времени от момента изменения входного кода (на рис. 7.2  $t=0$ ) до момента, когда в последний раз выполняется равенство

$$|U_{\text{вых}} - U_{\text{пш}}| = d/2.$$

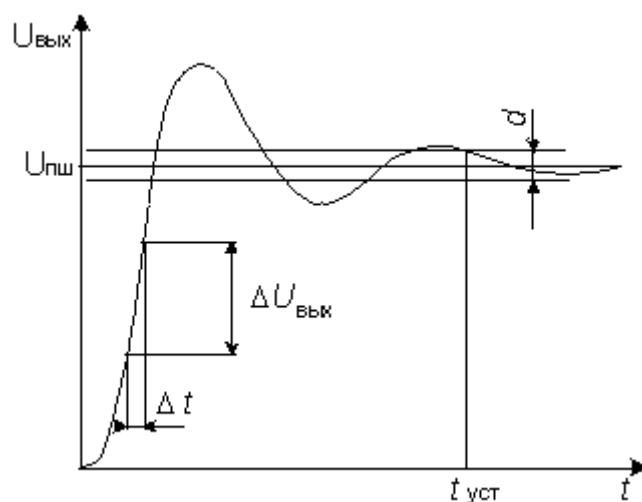


Рис. 7.2

**Скорость нарастания** - максимальная скорость изменения  $U_{\text{вых}}(t)$  во время переходного процесса. Определяется как отношение приращения  $\Delta U_{\text{вых}}$  ко времени  $t$ , за которое произошло это приращение. Обычно указывается в технических характеристиках ЦАП с выходным сигналом в виде напряжения. У ЦАП с токовым выходом этот параметр в большой степени зависит от типа выходного ОУ.

## 8. Интерфейсы ЦАП

Важную часть ЦАП составляет цифровой интерфейс, т.е. схемы, обеспечивающие связь управляющих входов ключей с источниками цифровых сигналов. Структура цифрового интерфейса определяет способ подключения ЦАП к источнику входного кода, например, к микропроцессору. Свойства цифрового интерфейса непосредственно влияют и на форму кривой сигнала на выходе ЦАП. Так, неодновременность поступления битов входного слова на управляющие входы ключей преобразователя приводит к появлению узких выбросов в выходном сигнале при смене кода.

При управлении ЦАП от цифровых устройств с жесткой логикой управляющие входы ключей ЦАП могут быть непосредственно подключены к выходам цифровых устройств, поэтому во многих моделях ИС ЦАП, особенно ранних (572ПА1, 594ПА1, 1108ПА1, AD565А и др.), сколько-нибудь существенная цифровая часть отсутствует. Если же ЦАП входит в состав микропроцессорной системы и получает входной код от шины данных, то он должен быть снабжен устройствами, позволяющими принимать входное слово от шины данных, коммутировать в соответствии с этим словом ключи ЦАП и хранить его до получения другого слова. Для управления процессом загрузки входного слова ЦАП должен иметь соответствующие управляющие входы и схему управления. В зависимости от способа загрузки входного слова в ЦАП различают преобразователи с последовательным и параллельным интерфейсами входных данных.



## 8.1. ЦАП с последовательным интерфейсом входных данных

Такой преобразователь содержит на кристалле помимо собственно ЦАП дополнительно также последовательный регистр загрузки, параллельный регистр хранения и управляющую логику. Чаще всего используется трехпроводный интерфейс, который обеспечивает управление преобразователем от SPI, QSPI, MICROWIRE интерфейсов процессоров. При активном уровне сигнала CS (в данном случае - нулевом) входное слово длины N (равной разрядности ЦАП) загружается по линии DI в регистр сдвига под управлением тактовой последовательности CLK.

После окончания загрузки, выставив активный уровень на линию LD, входное слово записывают в регистр хранения, выходы которого непосредственно управляют ключами ЦАП. Для того, чтобы иметь возможность передавать по одной линии данных входные коды в несколько ЦАП, последний разряд регистра сдвига у многих моделей ЦАП с последовательным интерфейсом соединяется с выводом ИМС DO. Этот вывод подключается ко входу DI следующего ЦАП и т.д. Коды входных слов передаются, начиная с кода самого последнего преобразователя в этой цепочке.

На рис. 8.1 а приведена схема ЦАП с последовательным интерфейсом, на рис. 8.1 б - временная диаграмма, отражающая процесс загрузки входного слова в ЦАП AD7233. Минимально допустимые значения интервалов времени (порядка 50 нс), обозначенных на временных диаграммах, указываются в технической документации на ИС.

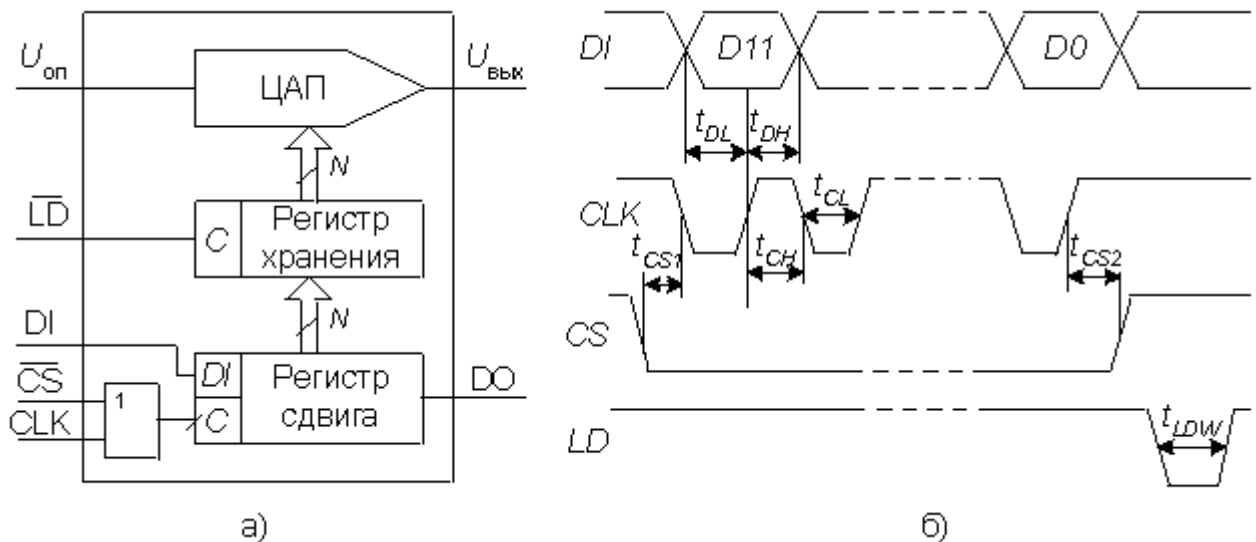


Рис. 8.1

На рис. 8.2 приведен вариант схемы подключения ЦАП с последовательным интерфейсом к микроконтроллеру (МК).

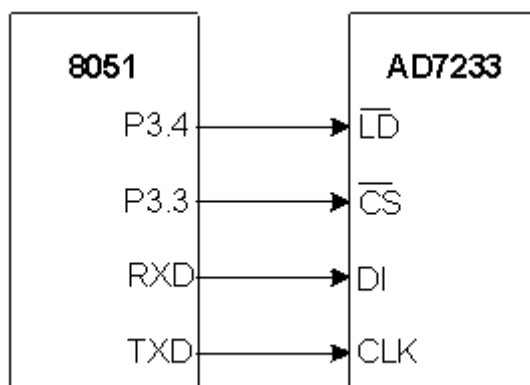


Рис. 8.2

На время загрузки входного слова в ЦАП через последовательный порт МК, к которому могут быть также подключены и другие приемники, на вход CS (выбор кристалла) подается активный уровень с одной из линий ввода-вывода МК. После окончания загрузки МК меняет уровень на входе CS и, выставив активный уровень на входе LD ЦАП, обеспечивает пересылку входного кода из регистра сдвига ЦАП в регистр хранения. Время загрузки зависит от тактовой частоты МК и обычно составляет единицы микросекунд.

## 8.2. ЦАП с параллельным интерфейсом входных данных

На рис. 8.3 а приведена схема ЦАП с параллельным интерфейсом. На  $N$  входов данных  $N$ -разрядного ЦАП подается все входное слово целиком. Интерфейс такого ЦАП включает два регистра хранения и схему управления. Два регистра хранения нужны, если пересылка входного кода в ЦАП и установка выходного аналогового сигнала, соответствующего этому коду, должны быть разделены во времени. Подача на вход асинхронного сброса CLR сигнал низкого уровня приводит к обнулению первого регистра и, соответственно выходного напряжения ЦАП.

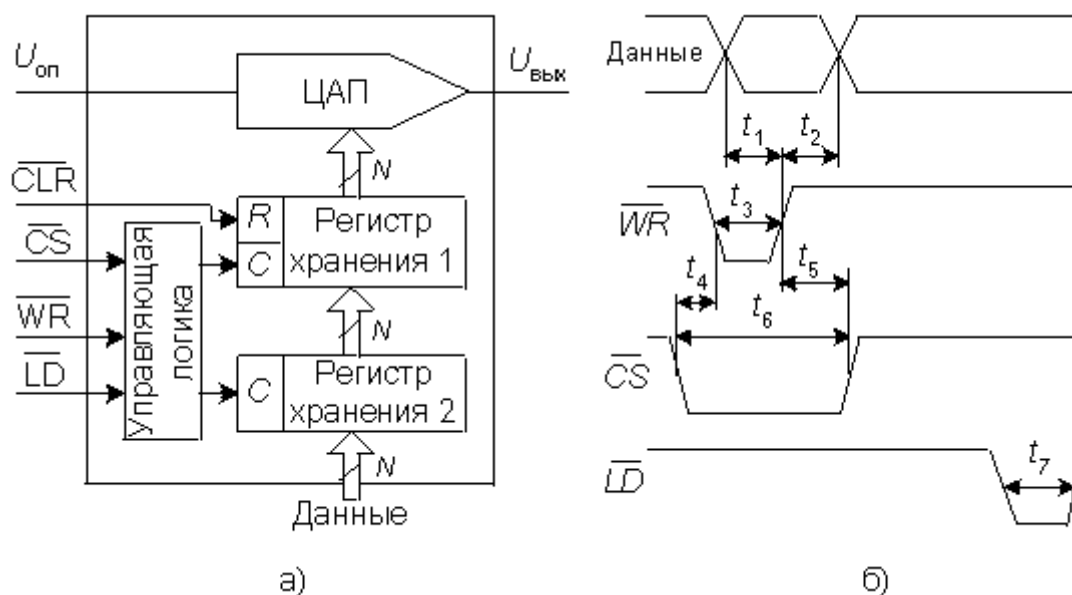


Рис. 8.3

Пример схемы подключения 12-ти разрядного ЦАП с параллельным интерфейсом MAX507 к 16-ти разрядному микропроцессору (МП) Intel 8086 приведен на рис. 8.4. Процессор посылает входной код в ЦАП как в ячейку памяти данных. Вначале с шины адрес/данные поступает адрес ЦАП, который фиксируется регистром по команде с выхода ALE микропроцессора и, после дешифрации, активизирует вход CS ЦАП. Вслед за этим МП подает на шину адрес/данные входной код ЦАП и затем сигнал записи на вход WR.

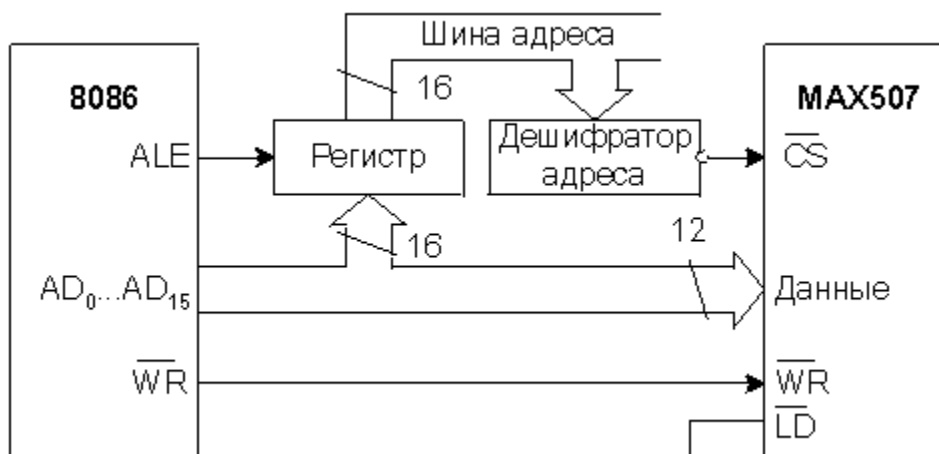


Рис. 8.4

Для подключения многоразрядных ЦАП с параллельным интерфейсом к восьмиразрядным МП и микроконтроллерам используется второй вариант параллельного интерфейса. Он предусматривает наличие двух параллельных загрузочных регистров для приема младшего байта входного слова МБ и старшего байта - СБ (рис. 8.5). Пересылка байтов входного слова в загрузочные регистры может происходить в любой последовательности.

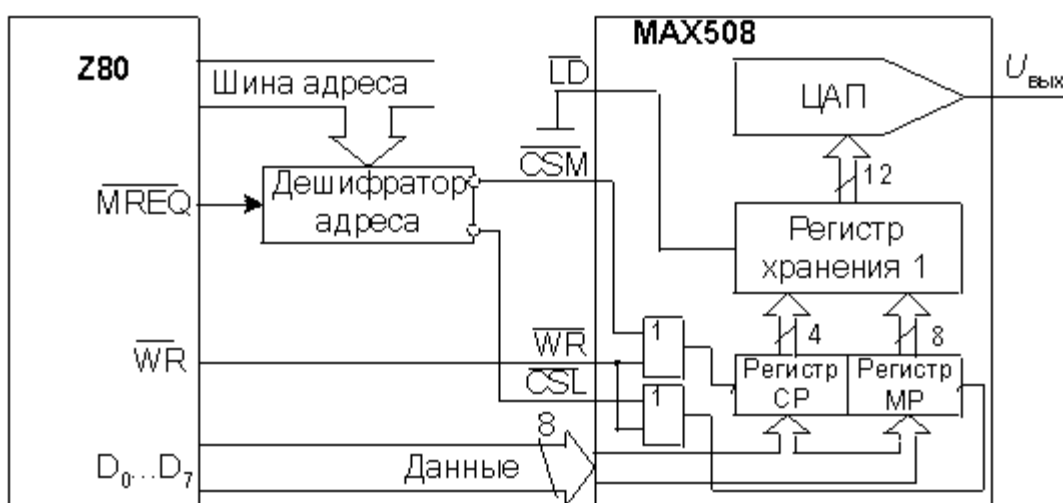


Рис. 8.5

## Список использованной литературы

1. Федерков Б.Г., Телец В.А., Микросхемы ЦАП и АЦП: функционирование, параметры, применение.- М.: Энергоиздат, 1990. –320с.
2. Бирюков С. Цифровые устройства на МОП интегральных микросхемах. - М.: Радио и связь, 1996.
3. Быстродействующие интегральные микросхемы ЦАП и АЦП и измерение их параметров. Под редакцией Марцинкявичюса.- М.: Радио и связь. 1988 – 224с.
4. Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И. Микросхемы и их применение: Справ. Пособие. – М.: Радио и связь, 1989. =240 с.
5. Валах В.В., Григорьев В.Ф., Быстродействующие АЦП для измерения формы случайных сигналов М.: Приборы и техника эксперимента. 1987, №4 с.86-90
6. Измерения и контроль в микроэлектронике: Учебное пособие по специальностям электронной техники/Дубовой Н.Д., Осокин В.И., Очков А.С. и др.; Под ред. А.А.Сазонова.- М.: Высш. шк.,1984.-367с.
7. Аналоговая и цифровая электроника. Учебник для вузов/ Ю.Ф. Опачий, О.П. Глудкин, А.И. Гуров.- М.: Горячая Линия – Телеком, - 1999.- 768 с.

## Содержание

<b>1. Аналого-цифровые преобразователи. . . . .</b>	<b>3</b>
Введение . . . . .	3
1.1. Параллельные АЦП. . . . .	4
1.2. Последовательно-параллельные АЦП. . . . .	5
1.3. Последовательные АЦП. . . . .	8
1.4. Интегрирующие АЦП. . . . .	11
1.5. Преобразователи напряжение-частота. . . . .	14
<b>2. Системы сбора данных и микроконверторы. . . . .</b>	<b>15</b>
<b>3. Интерфейсы АЦП. . . . .</b>	<b>16</b>
3.1. АЦП с параллельным интерфейсом выходных данных. . . . .	17
3.2. АЦП с последовательным интерфейсом выходных данных. . . . .	18
<b>4. Параметры АЦП. . . . .</b>	<b>19</b>
4.1. Статические параметры. . . . .	20
4.2. Динамические параметры. . . . .	22
<b>5. Обзор микросхем АЦП. . . . .</b>	<b>22</b>
<b>6. Цифро-аналоговые преобразователи. . . . .</b>	<b>27</b>
6.1. Классификация ЦАП. . . . .	28
6.2. Последовательные ЦАП . . . . .	28
6.3. Параллельные ЦАП. . . . .	30
<b>7. Параметры ЦАП. . . . .</b>	<b>37</b>
7.1. Статические параметры. . . . .	38
7.2. Динамические параметры. . . . .	39
<b>8. Интерфейсы ЦАП. . . . .</b>	<b>40</b>
8.1. ЦАП с последовательным интерфейсом входных данных . . . . .	41
8.2. ЦАП с параллельным интерфейсом входных данных . . . . .	42
<b>Список использованной литературы . . . . .</b>	<b>44</b>
<b>Содержание. . . . .</b>	<b>45</b>
Приложение А. Микросхемы АЦП, ЦАП, УВХ и ПЧН. . . . .	44
Приложение Б. Микросхемы ЦАП . . . . .	46

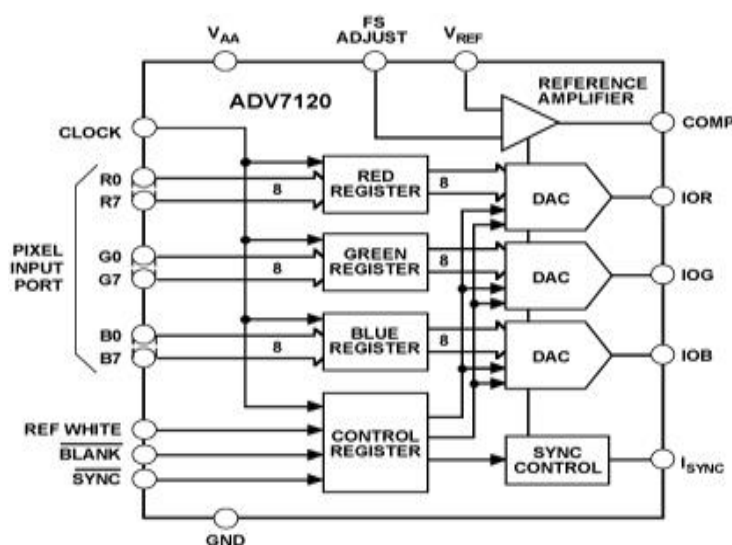
Микросхемы АЦП, ЦАП, УВХ и ПЧН

Микросхема	Аналог	Назначение
K417ПА1	DAC85C	ЦАП 13 разрядов 15 мкс
K417ПА2	DAC85C-СВ1	ЦАП 13 разрядов 15 мкс
427ПА1	DAC9377-16	15-разрядный ЦАП
427ПА2	DAC370-18	16-разрядный ЦАП
427ПА2		
427ПА3		18-разрядный ЦАП, 20 мкс
427ПА4		16-разрядный ЦАП, 30 мкс
572ПА1А-В КР572ПА1А-Г	AD7520	10-разрядный ЦАП умножающий, Туст=5 мкс
572ПА2А 572ПА2Б К572ПА2А-В	7541	12-разрядный ЦАП умножающий, Туст=15 мкс, с функцией записи и хранения цифровой информации
КР572ПА6	AD7533	10-разрядный ЦАП умножающий
КР572ПА7	AD7541А	12-разрядный ЦАП умножающий
572ПВ1А 572ПВ1Б КР572ПВ1А-В	AD7570	12-разрядный АЦП маломощный, Iпотр=5 мА
572ПВ2 КР572ПВ2А-В	ICL7107	Интегрирующий АЦП с выходом на семисегментный индикатор, 3.5 десятичных разряда
Н572ПВ3А,Б	AD7574	АЦП сопрягаемый с микропроцессором, 8 разрядный 15 мкс.
К572ПВ4А,Б	AD7581	8-канальный АЦП совместимый с МП 8 разрядов 32 мкс/канал
КР572ПВ5А	ICL7106	АЦП на 3.5 десятичных разряда с выводом на ЖКИ
572ПВ6	ICL7135	АЦП на 4.5 десятичных разряда, КМОП, для мультиметров
КР572ПП2	ICL7104	Схема управления и аналоговые ключи интегрирующего АЦП (для работы совместно с ИС 1102ПП2 (17 бит, 600 мс)
594ПА1 К594ПА1	AD562	12-разрядный ЦАП умножающий, Туст=3.5 мкс
1100СК2 КР1100СК2	НА2420	Устройство выборки и хранения
КР1100СК3 КФ1100СК3А,Б	LF-398	Устройство выборки и хранения, Т= 45 мкс, экономичное
КФ1100СК4 1100СК4 1100СК4А		Устройство выборки и хранения Т= 0.5-1.0 мкс Т= 1.5 мкс Т= 1.0 мкс
КФ1100СК5А,Б		Устройство выборки и хранения, Т= 0.5-1.0 мкс
1107ПВ1	TDC1014J	6-разрядный АЦП F=20 МГц
1107ПВ2 К1107ПВ2	TDC1007J TDC1007	8-разрядный АЦП F=20 МГц

K1107ПВ3А K1107ПВ3Б K1107ПВ3В	SDA5010 SDA6020 SDA6020	6-разрядный АЦП F=100 (А), 50 (Б, В) МГц
K1107ПВ4А, Б	TDC1025J	8-разрядный АЦП быстродействующий, частота преобразования до 100 МГц
KC1107ПВ5А-Б KP1107ПВ5	SDA5200	6-разрядный АЦП с быстродействием 100 МГц
K1107ПВ6	TDC1019J	10-разрядный АЦП. Частота преобразования 15-20 МГц
M1107ПВ7		8-разрядный АЦП. Частота преобразования 100 МГц
1108ПА1А 1108ПА1Б K1108ПА1А K1108ПА1Б H1108ПА1А	HI562-В - HI562	12-разрядный ЦАП, Туст=0.4 мкс
H1108ПА2	AD558	8-разрядный ЦАП сопрягаемый с микропроцессором, Туст=1.5 мкс
1108ПА3	MC1506	6-разрядный ЦАП. Туст=100 нс на точность 0.01%.
1108ПВ1А-В	TDC1013	10-разр. АЦП Тпр=1 мкс
K1108ПВ2	AM6112С	Быстродействующий функционально законченный АЦП на 12 разрядов
1108ПП1	VFC-32SM	Преобразователь напряжение-частота-напряжение прецизионный
KP1108ПП1А KP1108ПП1Б	VFC-32KP	Преобразователь напряжение-частота-напряжение
1108ПП2	ICL8068	Аналоговая часть интегрирующего АЦП (для работы совместно с ИС 1102ПП2) 17 бит, 600 мс
1113ПВ1 K1113ПВ1	AD571 AD571KD	10-разрядный АЦП Тпр=30 мкс 10-разрядный АЦП Тпр=30 мкс
H1113ПА1		12-разрядный ЦАП Тпр=2.5 мкс
M1118ПА1 K1118ПА1 KM1118ПА1	MC10318	8-разрядный ЦАП быстродействующий, Тз=6 нс
M1118ПА2 KP1118ПА2	TDC1016J TDC1016J-10	10-разрядный ЦАП быстродействующий, Тз=50 нс
KP1118ПА3 M1118ПА3А, Б KP1118ПА301	SP9768	8-разрядный ЦАП быстродействующий, Туст=5-10 нс
KM1118ПА4 KP1118ПА4	CX20051	10-разрядный ЦАП 20 нс
KP1118ПА5	HI5612фа	12-разрядный ЦАП. Туст=100 нс
KC1118ПА6		10-разрядный ЦАП. Туст=10 нс
1132ПВ1		Быстродействующий АЦП
M1143ПП1		Прецизионный преобразователь напряжение-частота-напряжение
1148ПА1		10-разрядный ЦАП Туст=1.0 мкс
KP1446ПВ1 KФ1446ПВ1		10-разрядный АЦП, 320 нс (тип), Uвх=0-5в, Еп=+5в.

Микросхемы ЦАП с разрядностью 8 бит фирмы Analog Devices и структурная схема ИС ADV7120

Микросхема	Кол-во ЦАП в корпусе	Тип выхода (ток/напряжение)	Интерфейс данных	Выходной диапазон	ИОН, внутр./внешн.	Напряжение питания, В ном.	Потребляемая мощность, мВт макс.
<a href="#">ADV7120</a>	3	Ток	Паралл.	0-20 мА	внешн.	(+5)	625
<a href="#">ADV101</a>	3	Ток	Паралл.	0-20 мА	внешн.	(+5)	625



Микросхемы ЦАП с разрядностью 10 бит фирмы Analog Devices и структурная схема ИС ADV7128

Микросхема	Кол-во ЦАП в корпусе	Тип выхода (ток/напряжение)	Интерфейс данных	Выходной диапазон	ИОН, внутр./внешн.	Напряжение питания, В ном.	Потребляемая мощность, мВт макс.
<a href="#">AD9761</a>	2	Ток	Паралл.	дифф. (0...10 мА)	внутр./внешн.	(+2.7...+5.5), (+3), (+3.3), (+5)	250
<a href="#">ADV7128</a>	1	Ток	Паралл.	Uni 20мА	внешн.	(+5)	625

